

申請日期	87.1.7
案 號	87100331
類 別	H01L 27/115-27/10

A4
C4

395056

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 新 型	中 文	記憶單元及具備記憶單元之非揮發性半導體 記憶裝置
	英 文	
二、發明 人 創 作	姓 名	(1)大 中 道 崇 浩 (2)味 香 夏 夫
	國 籍	日 本
	住、居所	(1)日本國東京都千代田區丸の内2丁目2番3號 三菱電機株式會社內 (2)同(1)
三、申請人	姓 名 (名稱)	三菱電機股份有限公司 (三菱電機株式會社)
	國 籍	日 本
	住、居所 (事務所)	日本國東京都千代田區丸の内2丁目2番3號
	代 表 人 姓 名	北 岡 隆

裝

訂

線

四、中文發明摘要(發明之名稱： 記憶單元及具備記憶單元之非揮發)
性半導體記憶裝置

本發明之目的是提供非揮發性半導體記憶裝置，可以使用低電壓電源以高可靠度進行高速之讀出動作，和可以以低成本製造。

本發明之解決手段是使記憶單元陣列104包含有記憶單元電晶體MC，和與各個記憶單元電晶體對應之單元選擇電晶體MS。記憶單元SG解碼器114將電位供給到與被選擇列對應之單元選擇線ML。單元選擇電晶體MS依照單元選擇線ML之電位，使經由記憶單元電晶體在位元線與源極線之間流動之電流之導通路徑進行開閉。其結果是在讀出動作時，可以抑制流自非選擇之記憶單元電晶體之洩漏電流之影響。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

日 本 國 (地 區) 申請專利，申請日期：1997-9-5 案號：9-241354，☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

[發明所屬之技術領域]

本發明有關於記憶單元及具備記憶單元之非揮發性半導體記憶裝置，尤其有關於使用低電壓電源進行寫入和消除之記憶單元和具備該記憶單元之非揮發性半導體記憶裝置。

[習知之技術]

近年來，作為非揮發性半導體記憶裝置之1種之快速記憶器因為可以以比動態隨機存取記憶器(DRAM)廉價之方式製造，所以可以作為下一世代之記憶裝置。

圖43是電路圖，用來表示習知之NOR型快速記憶器之記憶單元陣列1000之構造。在該記憶單元陣列排列有多個之字線WL，和多個位元線BL。在圖43中代表性的顯示有字線WL1, WL2, WL3, ...，和位元線BL1, BL2, BL3。在字線WL和位元線BL之各個交點設有記憶單元MC。記憶單元MC以浮動型MOS電晶體構成。

下面將說明構成記憶單元之記憶單元電晶體之構造。

圖44是剖面模式圖，用來說明非揮發性半導體記憶裝置之記憶單元電晶體之構造。如圖44所示，該記憶單元電晶體具有：n型源極區域2和n型吸極區域3，形成在p型半導體基板1之主表面上；浮動閘極電極5，經由隧道氧化膜4形成在被該源極區域2和吸極區域3包夾之通道區域之上方；和控制閘極電極7，經由絕緣膜6形成在該浮動閘極電極5之上方。各個記憶單元電晶體之源極區域2和吸極區域3以離子注入形成，利用形成在浮動閘極電極5和控制閘極電極7之側壁之側壁絕緣膜9作為罩幕。

五、發明說明 (2)

參照圖 43～圖 44，在各個記憶單元，其源極區域 2 連接有源極線 SL。在吸極區域 3 連接有位元線 BL。在控制閘極電極 7 連接有字線 WL。

源極和吸極間之導電度(電導)依照施加在控制閘極電極 7 之電位而變化。利用控制閘極電極 7 之電位之增加使源極和吸極間開始有電流流動之控制閘極電極 7 之電位稱為臨界值。該臨界值隨著電子之儲存在浮動閘極電極 5 而增加。

記憶單元電晶體利用浮動閘極 5 之帶電狀態之變化用來記憶資訊。另外，浮動閘極電極 5 因為絕緣膜與外部產生電的斷開，所以構建成以非揮發性記憶資訊。

下面將簡單的說明 NOR 型快速記憶器之讀出動作、寫入動作，和消除動作。

在寫入動作時，利用通道熱電子注入用來將電子注入到浮動閘極電極。利用這種方式使記憶單元電晶體之臨界值 V_{th} 從低臨界值側朝向高臨界值側變化。

在消除動作時，利用源極或吸極之閘極邊緣之 FN (Fowler-Nordheim) 隧道現象，從浮動閘極電極中吸出電子。利用這種方式使臨界值 V_{th} 從高臨界值側朝向低臨界值側變化。

在讀出動作時，對被選擇之位元線 BL 施加 1V 程度之電壓，對被選擇之位元線 WL 施加外部電源電壓 V_{cc} ，利用位於與被選擇之位元線 BL 之交點之記憶單元電晶體之源極和吸極間是否有電流流動用來讀出資訊。

圖 45～圖 46 表示 NOR 型快速記憶器之臨界值電壓分布。如圖 44 所示，在 NOR 型快速記憶器中，臨界值 V_{th} 高於外部電源電壓 V_{cc} (5V) 之狀態稱為寫入狀態，臨界值 V_{th} 低於外

五、發明說明 (3)

部電源電壓 V_{cc} (5V) 之狀態稱為消除狀態。

在 NOR 型快速記憶器中，對每一個位元進行寫入，和對全部之位元一起進行消除。因此，消除狀態之臨界值分布比寫入狀態之臨界值電壓分布寬廣。

然而，如圖 46 所示，當使用現行之 3.3 伏特之外部電源電壓 V_{cc} 時，臨界值電壓 V_{th} 變成為 1.5 伏特以下，會發生所謂之過消除單元。

圖 47 是電路圖，用來說明快速記憶器之過消除單元之問題。如圖 47 所示，在讀出被連接到位元線 BL 之記憶單元 MC1 之資料之情況時，被連接到同一個位元線 BL 之記憶單元 MC2, MC3, MC4, ... 會造成過消除單元。為著讀出記憶單元之 MC1 之資料，所以對位元線 BL 施加 1V 程度之電壓。另外，對被連接在記憶單元 MC1 之字線 WL1 施加外部電源電壓 V_{cc} 。

在這種情況，連接到記憶單元 MC2, MC3, MC4, ... 之各個之字線 WL2, WL3, WL4, ... 之電位，與 0V 無關，經由各個過消除單元會有洩漏電流 i_o 流到位元線 BL。其結果是因為選擇狀態之記憶單元 MC1 為寫入狀態，所以與是否有流經本來之記憶單元 MC1 之電流無關的，都從外部判定為消除狀態。因此，此種過消除單元之存在變成快速記憶器之動作上之致命之缺點。

下面將說明把位元線分割成每一個區之 DINOR 型快速記憶器。

有關於 DINOR 型快速記憶器之內容被揭示在「非揮發性半導體記憶裝置 (日本國專利案特願平 8-116297 號)」，下面將說明其內容。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (4)

圖 48 是電路圖，用來表示習知之 DINOR 型快速記憶器之記憶單元陣列 2000 之構造。如圖 48 所示，記憶單元陣列 2000 包含有 2 個之記憶單元陣列塊 BLK0 和 BLK1。在圖 48 中，對於 1 個之記憶單元陣列塊 BLK0 或 BLK1，代表性的顯示各具有 4 個之記憶單元電晶體 MC。

記憶單元陣列塊 BLK0 包含有：記憶單元電晶體 MC1a 和 MC1b，其各個之吸極連接到副位元線 SBL1；和記憶單元電晶體 MC2a 和 MC2b，其各個之吸極連接到副位元線 SBL2。另外，記憶單元陣列塊 BLK0 包含有：選擇閘 SG1，用來使主位元線 BL1 和副位元線 SBL1 之連接進行開閉；和選擇閘 SG2，用來使主位元線 BL2 和副位元線 SBL2 之連接進行開閉。

記憶單元電晶體 MC1a 和 MC2a 之控制閘極電極均連接到字線 WL1，記憶單元電晶體 MC1b 和 MC2b 之控制閘極電極均連接到字線 WL2。

記憶單元陣列塊 BLK0 所包含之記憶單元電晶體均與源極線 SL1 連接。

記憶單元陣列塊 BLK1 亦同樣的包含有：記憶單元電晶體 MC3a 和 MC3b，其各個之吸極連接到副位元線 SBL3；和記憶單元電晶體 MC4a 和 MC4b，其各個之吸極連接到副位元線 SBL4。

記憶單元陣列塊 BLK1 更包含有：選擇閘 SG3，用來使主位元線 BL1 和副位元線 SBL3 之連接進行開閉；和選擇閘 SG4，用來使主位元線 BL2 和副位元線 SBL4 之連接進行開閉。

記憶單元電晶體 MC3a 和 MC4a 之控制閘極電極連接到字線

五、發明說明(5)

WL3，記憶單元電晶體MC3b和MC4b之控制閘極電極連接到字線WL4。

記憶單元陣列塊BLK1所包含之記憶單元電晶體均與源極線SC2連接。

在DINOR型快速記憶器中，對記憶單元之寫入、消除、和讀出動作之進行是在利用對應之選擇閘SG之開閉用以選擇對應之記憶單元陣列塊之後。另外，記憶單元MC以浮動閘極型MOS電晶體構成。

下面將說明DINOR型快速記憶器之消除動作和寫入動作。

圖49表示外部電源電壓 V_{cc} 為3.3V時之DINOR型快速記憶器之記憶單元之臨界值電壓分布。

在消除動作時，利用FN隧道現象在通道之全面一起注入浮動閘極電極之電子。利用這種方式使臨界值電壓 V_{th} 從低臨界值電壓側朝向高臨界值電壓側變化。

在寫入動作時，利用吸極邊緣之FN隧道現象，用來使低臨界值分布側成為寫入狀態，和使高臨界值分布側成為消除狀態。

另外，在DINOR型快速記憶器中，對每一個位元施加脈波式之電壓藉以吸出電子，然後經由重複進行臨界值之驗證動作，可以使低臨界值側之分布帶變狹。其結果是低臨界值側分布之最下限變成1.5V以上，可以實現使用3.3V之外部電源電壓 V_{cc} 之動作。

[發明所欲解決之問題]

然而，在非揮發性半導體記憶裝置中，對於低電壓動作

五、發明說明(6)

，低消耗電力動作，和高速讀出動作有更進一步要求之傾向。

圖50表示當外部電源電壓 V_{cc} 為1.8V時之DINOR型快速記憶器之記憶單元之臨界值分布。

如圖50所示，當外部電源電壓 V_{cc} 變成現行之3.3V以下(例如1.8伏特)時，低臨界值側之最下限就變成1.5V以下，產生所謂之過寫入單元。其結果是即使具有DINOR型快速記憶器之上述技術時，要實現直接使用外部電源電壓 V_{cc} 之讀出動作會有困難。

為著解決此種問題，必需考慮使用一種裝置用來使低電壓化之外部電源電壓 V_{cc} 在讀出動作時升壓到現行之電壓位準(3.3V)程度，將該升壓後之電壓施到字線。

但是，使用該裝置時因為升壓需要時間所以會使讀出動作變慢。另外，升壓動作會造成消耗電力之增大。另外，增加以3.3V進行動作之電路，會有使低電壓化至1.8V之節省消耗電力效果減小之問題。

因此，本發明用來解決上述之問題，其目的是提供非揮發性半導體記憶裝置，即使以低電壓動作時亦可以避免由於過消除或過寫入而造成錯誤動作。

另外，本發明之另一目的是提供非揮發性半導體記憶裝置，即使在使用低電壓電源之情況時，亦可以進行高速讀出動作。

本發明之另一目的是提供非揮發性半導體記憶裝置，可以進行低電壓動作和可以以低成本製造。

訂

五、發明說明 (7)

[解決問題之手段]

本發明之第1態樣是一種非揮發性半導體記憶裝置，形成在半導體基板上，其中具備有：多個記憶單元，被排列成多個列和多個行；多個字線，被設置成對應到多個列之各個；多個位元線，被設置成對應到多個行之各個；和源極線，用來供給第1電位；多個記憶單元之各個包含有：記憶單元電晶體；和MOS電晶體；各個記憶單元電晶體包含有：控制閘極，利用對應之字線用來控制其電位；源極和吸極，被控制閘極之電位控制，成為互相導通/非導通之狀態；和浮動閘極；各個MOS電晶體使經由對應之記憶單元電晶體在位元線和第1電位之間流動之電流之導通路徑選擇性的進行開閉；屬於同一列之多個MOS電晶體共用閘極層，更具備多個金屬配線對應到同一列之各個；多個金屬配線之各個被配置成介入有絕緣膜，在對應之閘極層之上方具有多個連接孔；各個金屬配線經由任何一個對應之連接孔形成與對應之閘極層連接；和更具備有開關選擇裝置，在回應外部位址信號時，選擇性的將電位供給到各個金屬配線。

本發明之第2態樣之非揮發性半導體裝置是在第1態樣之非揮發性半導體記憶裝置，其中更具備有：列選擇裝置，在回應外部位址信號時，用來選擇字線；行選擇裝置，在回應外部位址信號時，用來選擇位元線；和寫入消除裝置，用來對記憶單元電晶體之浮動閘極進行注入電子或吸出

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(8)

電子。

本發明之第3態樣是一種非揮發性半導體記憶裝置，形成在半導體基板上，其中具備有：多個記憶單元，被排列成多個列和多個行；多個字線，被設置成對應到多個列之各個；多個位元線，被設置成對應到多個行之各個；和源極線，用來供給第1電位；多個記憶單元被分割成多個區，各個區包含有被配置成多個列和多個行之多個記憶單元；多個位元線包含有：多個主位元線，跨越多個區，被設置成對應到多個記憶單元之行；和多個副位元線群，被設置成分別對應到上述之多個區；各個副位元線群具有多個副位元線與對應之區內之多個行形成對應；多個記憶單元之各個包含有：記憶單元電晶體；和開關裝置；各個記憶單元電晶體包含有：控制閘極，利用對應之字線用來控制其電位；源極和汲極，被控制閘極之電位控制，成為互相導通/非導通之狀態；和浮動閘極；各個開關裝置更包含：使經由對應之記憶單元電晶體在位元線和第1電位之間流動之電流之導通路徑選擇性的進行開閉；列選擇裝置，在回應外部位址信號時，用來選擇字線；行選擇裝置，在回應外部位址信號時，用來選擇位元線；開關選擇裝置，在回應外部位址信號時，用來控制多個開關裝置；寫入消除裝置，用來對記憶單元電晶體之浮動閘極進行注入電子或吸出電子；和連接裝置，用來將多個副位元線群選擇性的連接到多個主位元線。

本發明之第4態樣之非揮發性半導體記憶裝置是在第3態

五、發明說明 (9)

樣之非揮發性半導體記憶裝置，其中更具備有讀出裝置，用來讀出被選擇之記憶單元電晶體之資料；列選擇裝置在從記憶單元電晶體讀出資料之讀出動作時，將第2電壓供給到對應之字線，在等待時將第3電壓供給到多個字線；和第2電壓和上述之第3電壓相同。

本發明之第5態樣之非揮發性半導體記憶裝置是在第3態樣之非揮發性半導體記憶裝置，其中各個開關裝置是MOS電晶體；屬於同一列之多個MOS電晶體共用閘極層，和更具備有多個金屬配線對應到同一列之各個；多個金屬配線之各個經由具有多個連接孔之絕緣膜被配置在對應之閘極層之上方；各個金屬配線經由任何一個對應之連接孔形成與對應之閘極層連接；和開關裝置在回應外部位址信號時，選擇性的將電位供給到各個金屬配線。

本發明之第6態樣是一種非揮發性半導體記憶裝置，形成在半導體基板上，其中具備有：多個記憶單元，被排列成多個列和多個行；多個字線，被設置成對應到多個列之各個；多個位元線，被設置成對應到多個行之各個；和源極線，用來供給第1電位；多個記憶單元之各個包含有：記憶單元電晶體；和開關裝置；各個記憶單元電晶體包含有：P型之源極區域和P型之吸極區域，形成在被設於半導體基板之主表面之n型阱內；浮動閘極，經由隧道氧化膜形成在被源極區域和吸極區域包夾之通道區域上；和控制閘極，經由絕緣膜形成在浮動閘極之上方，其電位受對應之字線控制；各個開關裝置使經由對應之記憶單元電晶體在位元線和第1電位之間流動之電流之導通路徑選擇性的

五、發明說明(10)

進行開閉。

本發明之第7態樣之非揮發性半導體記憶裝置是在第6態樣之非揮發性半導體記憶裝置，其中更具備有：列選擇裝置，在回應外部位址信號時，用來選擇字線；行選擇裝置，在回應外部位址信號時，用來選擇位元線；開關選擇裝置，在回應外部位址信號時，用來控制多個開關裝置；和寫入消除裝置，用來對記憶單元電晶體之浮動閘極進行注入電子或吸出電子。

本發明之第8態樣是一種記憶單元，用來構成形成在半導體基板上之非揮發性半導體記憶裝置之記憶單元陣列，具備有：多個字線，被設置成對應到記憶單元陣列之多個列之各個；多個位元線，被設置成對應到記憶單元陣列之多個行之各個；和多個源極線，用來供給第1電位；其中具備有：記憶單元電晶體，被設在對應之位元線和第1電位之間，依照對應之字線之電位變成導通/非導通狀態，可以以電的和非揮發性的控制其臨界值電壓；和選擇電晶體，用來使經由記憶單元電晶體在位元線和第1電位之間流動之電流之導通路徑選擇性的進行開閉；記憶單元電晶體包含有：第1不純物區域，形成在半導體基板之主表面上；第2不純物區域，形成在半導體基板之主表面上，與第1不純物區域具有指定之間隔；第1電極層，經由第1氧化膜形成在被第1不純物區域和上述第2不純物區域包夾之區域之上方；和第2電極層，經由第1絕緣膜形成在第1電極層之上方；選擇電晶體包含有：第3不純物區域，形成

五、發明說明(11)

在半導體基板之主表面上；第4不純物區域，形成在半導體基板之主表面上，與第3不純物區域具有指定之間隔；第3電極層，經由第2氧化膜形成在被第3不純物區域和第4不純物區域包夾之區域之上方；和第4電極層，經由第2絕緣膜形成在第3電極層之上方；第2不純物區域和第3不純物區域共用同一區域；第1氧化膜和第2氧化膜以同一工程形成；第1電極層和第3電極層以同一工程形成；第1絕緣膜和第2絕緣膜以同一工程形成；和第2電極層和第4電極層以同一工程形成。

本發明之第9態樣之記憶單元是在第8態樣之記憶單元中使屬於同一列之多個選擇電晶體至少共用第3電極層，更具備有多個金屬配線對應到同一列之各個；多個金屬配線之各個經由具有多個連接孔之絕緣膜被配置在對應之屬於同一列之上述選擇電晶體之上方；和各個金屬配線經由任何一個對應之連接孔形成與對應之第3電極層連接。

本發明之第10態樣是一種記憶單元，用來構成非揮發性半導體記憶裝置之記憶單元陣列，具備有：多個字線，被設置成對應到記憶單元陣列之多個列之各個；多個位元線，被設置成對應到記憶單元陣列之多個行之各個；和多個源極線，用來供給第1電位；其中具備有：記憶單元電晶體；和MOS電晶體；記憶單元電晶體包含有：控制閘極，受對應之字線之電位之控制；源極和汲極，被控制閘極之電位控制，成為互相導通/非導通之狀態；和浮動閘極；MOS電晶體使經由記憶單元電晶體在位元線和第1電位之間流動之電流

五、發明說明(12)

之導通路徑選擇性的進行開閉；和記憶單元電晶體之閘極幅度小於MOS電晶體之閘極幅度。

本發明之第11態樣之記憶單元是在第10態樣之記憶單元中使記憶單元電晶體之吸極與對應之位元線連接；記憶單元電晶體之源極與MOS電晶體之一方之導通端子連接；和MOS電晶體之另外一方之導通端子與源極線連接。

本發明之第12態樣之記憶單元是在第10態樣之記憶單元中使MOS電晶體之一方之導通端子與對應之位元線連接；MOS電晶體之另外一方之導通端子與記憶單元電晶體之吸極連接；和記憶單元電晶體之源極與源極線連接。

本發明之第13態樣是一種記憶單元，用來構成非揮發性半導體記憶裝置之記憶單元陣列，具備有：多個字線，被設置成對應到記憶單元陣列之多個列之各個；多個位元線，被設置成對應到記憶單元陣列之多個行之各個；和多個源極線，用來供給第1電位；其中具備有：記憶單元電晶體；和MOS電晶體；記憶單元電晶體包含有：控制閘極，受對應之字線之電位之控制；源極和吸極，被控制閘極之電位控制，成為互相導通/非導通之狀態；和浮動閘極；MOS電晶體使經由記憶單元電晶體在位元線和第1電位之間流動之電流之導通路徑選擇性的進行開閉；和記憶單元電晶體之吸極，在對記憶單元電晶體進行寫入動作時，被施加寫入電壓；寫入電壓大於記憶單元電晶體之源極/吸極穿通耐壓。

本發明之第14態樣之記憶單元是在第13態樣之記憶單元中使記憶單元電晶體之吸極與對應之位元線連接；記憶單

五、發明說明(13)

元電晶體之源極與MOS型電晶體之一方之導通端子連接；
和MOS電晶體之另外一方之導通端子與源極線連接。

本發明之第15態樣之記憶單元是在第13態樣之記憶單元
中使MOS電晶體之一方之導通端子與對應之位元線連接；
MOS電晶體之另外一方之導通端子與記憶單元電晶體之吸
極連接；和記憶單元電晶體之源極與源極線連接。

[發明之實施形態]

下面將使用附圖用來說明本發明。另外，對於相同之構
成元件附加相同之符號而其重複之說明則加以省略。

[實施形態1]

圖1是概略方塊圖，用來表示本發明之實施形態1之非揮
發性半導體記憶裝置100之構造。

如圖1所示，該非揮發性半導體記憶裝置100包含有位址
緩衝器102，記憶單元陣列104，WL解碼器106，Y解碼器108
，記憶單元SG解碼器114，和源極解碼器116。

位址緩衝器102用來接受來自外部之位址信號 $A_0 \sim A_i$ ，藉
以輸出對應之內部列位址信號 A_x 和對應之內部行位址信號
 A_y 。WL解碼器106用來接受來自位址緩衝器102之內部行位址
信號 A_x ，藉以選擇對應之記憶單元陣列104之字線。Y解碼
器108用來接受來自位址緩衝器102之內部行位址信號 A_i ，
藉以選擇記憶單元陣列104之對應之位元線。

記憶單元陣列104是NOR型記憶單元陣列，包含有多個記
憶單元電晶體MC，和多個單元選擇電晶體MS。記憶單元電
晶體MC以浮動閘型電晶體構成。在各個記憶單元電晶體MC

五、發明說明(14)

設有對應之單元選擇電晶體 MS。單元選擇電晶體以 MOS 電晶體構成。

亦即，實施形態 1 之 1 個之記憶單元之構成包含有記憶單元電晶體 MC，和被設置成與該記憶單元電晶體 MC 對應之單元選擇電晶體 MS。下面將以 1 個之記憶單元電晶體構成記憶單元之習知之記憶單元稱為 1 電晶體型記憶單元，將實施形態 1 之記憶單元稱為 2 電晶體型記憶單元。另外，在以下之說明中，記憶單元電晶體和單元選擇電晶體都是 N 通道型 MOS 電晶體。

在圖 1 中代表性的顯示有記憶單元電晶體 MC11, MC12, MC21 和 MC22，和單元選擇電晶體 MS11, MS12, MS21 和 MS22。

記憶單元電晶體 MC11 和 MC21 之各個閘極電極均連接到字線 WL1。記憶單元電晶體 MC12 和 MC22 之各個閘極電極均連接到字線 WL2。

記憶單元電晶體 MC11, MC12, MC21，和 MC22 之各個源極區域連接到源極線 SL。

單元選擇電晶體 MS11 連接在位元線 BL1 和記憶單元電晶體 MC11 之吸極區域之間。單元選擇電晶體 MS12 連接在位元線 BL1 和記憶單元電晶體 MC12 之吸極區域之間。單元電晶體 MS21 連接在位元線 BL2 和記憶單元電晶體 MC21 之吸極區域之間。單元選擇電晶體 MS22 連接在位元線 BL2 和記憶單元電晶體 MC22 之吸極區域之間。以下對於將單元選擇電晶體 MS 配置在記憶單元電晶體 MC 之吸極區域和位元線 BL 之間之連接稱為吸極選擇型連接。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(15)

單元選擇電晶體 MS11 和 MS21 之各個之閘極電極均連接到單元選擇線 ML1。單元選擇電晶體 MS12 和 MS22 之各個之閘極電極均連接到單元選擇線 ML2。

WL 解碼器 106 依照從位址緩衝器 102 施加之內部列位址信號 Ax，選擇對應之字線 WL1~WL4 的其中之一。

記憶單元 SG 解碼器 114 在寫入，消除，和讀出動作時，依照從位址緩衝器 102 施加之內部列位址信號 Ax，選擇對應到被選擇之列之其中之一之單元選擇線 ML1, ML2。

源極解碼器 116 依照寫入，消除，讀出動作，用來調整源極線 SL 之電位。

該非揮發性半導體記憶裝置 100 更包含有高電壓產生電路 110，負電壓產生電路 112，阱電位產生電路 120，和讀出電壓產生電路 132。

高電壓產生電路 110 用來接受外部電源電壓 Vcc，藉以產生對記憶單元進行資料寫入或消除動作所需要之高電壓。負電壓產生電路 112 用來接受外部電源電壓 Vcc，藉以產生對記憶單元陣列進行資料寫入或消除動作所需要之負電壓。讀出電壓產生電路 132 用來產生任意之讀出電壓。

阱電位產生電路 120 用來接受負電壓產生電路 112 之輸出，藉以控制用以形成記憶單元電晶體之半導體基板表面之阱電位。寫入電路 130 用來將接受自高電壓產生電路 110 之高電壓供給到對應之位元線。

WL 解碼器 106 接受高電壓產生電路 110 和負電壓產生電路 112 之輸出，在寫入動作時將負電壓供給到被選擇之字線，在

訂

五、發明說明(16)

消除動作時將高電壓供給到被選擇之字線。另外，WL解碼器106用來接受在讀出電壓產生電路132產生之任意之讀出電壓之供給。

源極解碼器116接受負電壓產生電路112之輸出，經由源極線SL使記憶單元電晶體MC1之源極電位成為負電壓。

該非揮發性半導體記憶裝置100更包含有寫入/消除控制電路122，資料輸入/輸出緩衝器124，資料驅動器126，感測放大器128，和寫入電路130。

寫入/消除控制電路122用來控制對記憶單元之寫入動作和消除動作。資料輸入/輸出緩衝器124接受來自外部之資料將其輸出到內部電路，或是接受從記憶單元讀出之資料將其輸出到外部。資料驅動器126接受被輸入到資料輸入/輸出緩衝器124之寫入資料，藉以驅動對應之位元線電位。感測放大器128在資料讀出時，經由位元線BL1或BL2，依照被選擇之記憶單元之記憶資訊，輸出對應之讀出資料。寫入電路130接受和保持來自資料驅動器126之寫入資料，將來自高電壓產生電路110之高電壓供給到對應之位元線。

資料驅動器126和感測放大器128經由行選擇閘SLG1連接到位元線BL1，和經由行選擇閘SLG2連接到位元線BL2，行選擇閘SLG1和SLG2之閘極電位受Y解碼器108之控制。因此，依照來自位址緩衝器102之內部行位址信號Ay，用來使被選擇之位元線和感測放大器128和資料驅動器126產生連接。

下面將簡單的說明實施形態1之非揮發性半導體記憶裝置100之動作。

五、發明說明(17)

[程式動作]

在對記憶單元寫入資料時，對位址緩衝器102施加位址信號 $A_0 \sim A_i$ 用以指定所欲選擇之記憶單元之位址。另外一方面，在資料輸入/輸出緩衝器124施加所欲寫入之資料，資料驅動器126將其驅動成為對應之位元線之電位位準。寫入電路130經由位元線BL1接受來自資料驅動器126之寫入資料。

下面將說明對記憶單元電晶體MC11進行資料之寫入之情況。首先對含有記憶單元電晶體MC11之區(Sector)進行消除動作。此處之區是指形成在同一阱內之記憶單元群。下面將以記憶單元電晶體MC11為重點進行說明。

被寫入/消除控制電路122控制之位元線BL1成為浮動狀態，高電壓產生電路和負電壓產生電路分別產生高電壓和負電壓。與其對應的，源極解碼器116經由源極線SL使記憶單元電晶體MC1之源極電位成為負電位(例如，-8V)。另外一方面，阱電位產生電路120亦使記憶單元電晶體之阱電位成為與記憶單元電晶體MC11之源極電位相同之負電位(例如，-8V)。

記憶單元SG解碼器114在回應內部行位址信號 A_x 時，對所選擇之列之對應之單元選擇線ML1供給指定之電位。WL解碼器106被寫入/消除控制電路122控制，用來對字線WL1供給從高電壓產生電路110輸出之高電壓(例如，10V)。利用這種方式，從基板側將電子注入到記憶單元電晶體MC11之浮動閘極電極，用來提升該等記憶單元電晶體MC11之臨界值。

五、發明說明(18)

寫入電路130被寫入/消除控制電路122控制，用來驅動位元線BL1之電位位準。源極解碼器116用來使源極線SL1成為浮動狀態。阱電位驅動電路120被寫入/消除控制電路122控制，用來使阱電位成為如同0V之電位。

記憶單元SG解碼器114在回應內部列位址信號Ax時，對所選擇之列之對應之單元選擇線ML1供給指定之電位。WL解碼器106被寫入/消除電路122控制，用來對字線WL1供給從負電壓產生電路112施加之電位(例如，-10V)。寫入電路130亦被寫入/消除控制電路122控制，根據從高電壓產生電路110輸出之高電壓，用來使位元線BL1之位準成為高電位(例如，5V)。

其結果是從記憶單元電晶體MC11之浮動閘極電極中將電子吸出，藉以變化記憶單元電晶體MC1之臨界值。

在習知之NOR型快速記憶器中，即使在只對1個之位元線BL之記憶單元電晶體進行資料之寫入之情況時，連接在同一位元線之非選擇狀態之記憶單元電晶體之吸極亦會被施加高電壓。因此，在同一位元線上之非選擇狀態之記憶單元電晶體之浮動閘極中之電荷量會產生變化，在最壞之情況會有寫入之資料產生變化之問題。

但是，在實施形態1之2電晶體記憶單元中，經由使用單元選擇電晶體，可以只使被選擇寫入之記憶單元電晶體與位元線產生連接。因此，1個記憶單元電晶體之寫入動作不會受其他之記憶單元電晶體之臨界值之影響。

五、發明說明(19)

[讀出動作]

當對記憶單元進行讀出資料時，對位址緩衝器102施加位址信號 $A_0 \sim A_i$ 用來指定所欲選擇之記憶單元之位址。從位址緩衝器102輸出內部列位址信號 A_x 。

記憶單元電晶體MC1為被選擇者。記憶單元SG解碼器114⁴在回應內部列位址信號 A_x 時，對被選擇讀出之列之對應之單元選擇線MC1供給指定之電位。WL解碼器106在回應內部列位址信號 A_x 時，對被選擇讀出之字線WL1供給指定之電位。另外，對位元線BL1和源極線SL供給指定之電壓。感測放大器128經由行選擇閘SLG1用來檢測位元線BL1之電位之變化。¹⁰

下面將詳細的說明實施形態1之記憶單元陣列之構造。

圖2是電路圖，用來擴大的顯示圖1之非揮發性半導體記憶裝置100之記憶單元陣列104之構造。在圖2中，記憶單元陣列104被分割成一些阱，阱11a和11b用來接受來自圖1所示之阱電位產生電路120之各個電位之供給。

如圖2所示，在實施形態1之2電晶體型記憶單元中具有多個信號線L用來控制單元選擇電晶體MS之導通狀態。在圖2中顯示有代表性之信號線L1和L2。信號線L以低電阻之配線(例如鋁配線)構成。信號線L1將接受自圖1所示之記憶單元SG解碼器114之電位供給到單元選擇線ML1。

單元選擇線ML被構建成使同一區內之同一列之單元選擇電晶體之閘極電極互相連接。具體之構造是在利用蝕刻加工藉以形成單元選擇電晶體之閘極電極層時，對同一區內之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(20)

閘極電極進行加工形成一體之圖型。

信號線L2亦同樣的將接受自圖1所示之記憶單元SG解碼器114之電位供給到單元選擇線ML2。

信號線L在角 n 個位元($n>0$)，對構成單元選擇電晶體MS之閘極電極之電極層進行打樁。

下面將說明記憶單元和信號線L之構造。

圖3是圖2所示之記憶單元陣列中，上述之信號線L未被打樁之區域之剖面圖，圖4是圖2所示之記憶單元陣列中，上述之信號線L被打樁之區域之剖面圖。

記憶單元電晶體MC具有： n 型源極區域12和 n 型吸極區域13，形成在 p 型半導體基板1之主表面上；浮動閘極電極15.1，經由隧道氧化膜14.1形成在被源極區域12和吸極區域13包夾之通道區域之上方；和控制閘極電極17.1，經由層間絕緣膜16.1形成在浮動閘極電極15.1之上方。

單元選擇電晶體MC具有： n 型源極區域12和 n 型吸極區域23，形成在 p 型半導體基板1之主表面上；浮動閘極電極15.2，經由氧化膜14.2形成在被源極區域12和吸極區域23包夾之通道區域之上方；和控制閘極電極17.2，經由層間絕緣膜16.2形成在浮動閘極電極15.2之上方。

如圖3所示，記憶單元電晶體MC和單元選擇電晶體MS共用形成在 p 型半導體基板1之主表面之源極區域12。另外，用以構成記憶單元電晶體MC和單元選擇電晶體MS之氧化膜14.1，14.2以同一工程形成。另外，用以構成記憶單元電晶體MC和單元選擇電晶體MS之各個之浮動電極15.1，15.2以同一工程形成。另外，記憶單元電晶體MC和單元選擇電晶體MS之各個之控制閘極電極17.1，17.2以同一工程形成。

信號線L經由絕緣膜30被配置在單元選擇電晶體MS之閘極電極上。

另外，如圖4所示，信號線L經由接觸孔連接到用以構成

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(21)

單元選擇電晶體 MSn1 之控制閘極電極之電極層。

上述之接觸孔被設在未形成有記憶單元電晶體和單元選擇電晶體之區域。

下面將使用附圖用來說明實施形態 1 之 2 電晶體型之記憶單元之製造方法。圖 5~圖 14 是剖面圖，用來表示具有上述構造之 2 電晶體型記憶單元之製造方法之工程。

如圖 5 所示，經由在 p 型矽基板 1 上施加熱氧化處理，用來在 p 型矽基板上之全面形成隧道熱氧化膜 14。使用 CVD 法等，以 1200Å 程度之膜厚，在隧道氧化膜 14 上形成第 1 多結晶矽膜 15 (浮動閘極電極層)。

其次，使用 CVD 法等，在上述之第 1 多結晶矽膜 15 上形成 100Å 程度之膜厚之高溫氧化膜。使用 CVD 法等，在該高溫氧化膜上形成 100Å 程度之厚度之矽氮化膜。然後，使用 CVD 法在該矽氮化膜上形成 150Å 程度之厚度之高溫氧化膜。利用這種方式形成矽氧化膜/矽氮化膜/矽氧化膜之積層膜 (以下稱為 ONO 膜) 16。

其次，在上述之 ONO 膜 16 上，使用 CVD 法，以 1200Å 程度之厚度，形成導入有不純物之第 2 多結晶矽膜 20。然後，使用濺鍍法在該第 2 多結晶矽膜 20 上形成 1200Å 程度之厚度之鎢矽化物 (WSi) 層 21。利用這種方式形成作為控制閘極電極之導電層 17。在該導電層 17 上堆積 TEOS (Tetra Ethyl Ortho Silicate) 膜 18。

下面將參照圖 6~圖 9 之剖面圖用來說明對應到圖 3 所示之斷面部份之記憶單元陣列之製造方法。

如圖 6 所示，在上述之 TEOS 氧化膜 18 上，在記憶單元電晶體 MS 部，和對應到單元選擇電晶體 MS 部之部份，分別形

五、發明說明(22)

成抗蝕劑罩幕 22, 23。對 TEOS 氧化膜 18 進行蝕刻。

如圖 7 所示，使用上述被蝕刻之 TEOS 氧化膜 18 作為抗蝕劑，對鎢矽化物 (WSi) 層 21 和第 2 多結晶矽膜 20 進行蝕刻。利用這種方式，如圖 8 所示的形成記憶單元電晶體 MC 部和單元選擇電晶體 MS 部之各個之導電層 17.1, 17.2。同時亦對周邊電晶體之閘極進蝕刻。然後，使用 TEOS 氧化膜 18 作為抗蝕劑，對 ONO 膜 16 和第 1 多結晶矽膜 15 進行蝕刻。利用這種方式，如圖 9 所示，未被施加打樁之部份之單元選擇電晶體 MS，以與記憶單元電晶體 MC 相同之工程形成。

下面將參照圖 10～圖 14 之剖面圖用來說明對應到圖 4 所示之剖面圖之記憶單元陣列之製造方法。

如圖 10 所示，對於信號線 L 被打樁之部份，在 TEOS 氧化膜 18 上，於對應到記憶單元電晶體 MC 部之部份形成抗蝕劑罩幕 24。對 TEOS 氧化膜 18 進行蝕刻。

如圖 11 所示，使用上述被蝕刻之 TEOS 氧化膜 18 作為抗蝕劑，對鎢矽化物 (WSi) 層 21 和第 2 多結晶矽膜 20 進行蝕刻。利用這種方式，如圖 12 所示的形成記憶單元電晶體 MC 部之導電層 17.1。同時亦對周邊電晶體之閘極進行蝕刻。

其次，如圖 13 所示，以只有單元選擇電晶體 MS 部被保護之方式形成抗蝕劑圖型 25。以 TEOS 氧化膜 18 和該抗蝕劑 25 作為罩幕，進行 ONO 膜 16 和第 1 多結晶矽膜 15 之蝕刻。利用這種方式，如圖 14 所示，對信號線 L 施加打樁，用來使單元選擇電晶體 MS 和記憶單元電晶體 MC 一起形成。

利用此種製造所形成之單元選擇電晶體，在各個記憶單

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(23)

元具有與記憶單元鄰接之記憶單元之隧道氧化膜，和同時形成之相同膜厚之閘極氧化膜，而且其構成是利用與記憶單元相同之浮動閘極電極層，和與記憶單元相同之層間絕緣膜，以及與記憶單元相同之控制閘極電極層。

另外，圖10～圖14之氧化膜14之部份亦可以使用元件分離氧化膜。

圖15是平面圖，用來表示記憶單元陣列104之布置之一實例，圖16是平面圖，用來表示圖15中之1個單位之記憶單元之布置。如圖15所示，在列方向配置有與記憶單元電晶體之閘極電極部相當之閘極電極圖型50，和與單元選擇電晶體之閘極電極部相當之閘極電極圖型51。另外，在行方向配置有對應到位元線之第一層之鋁配線圖型52。在形成於選擇電晶體之閘極上之層間絕緣膜層，開口有連接孔對應到接觸孔圖型53用來使單元選擇電晶體之閘極之打樁部和第一層之鋁配線54產生連接。另外，在形成於第一層之鉛配線54上之層間絕緣膜層，開口有連接孔對應到穿通孔洞圖型55用來使第一層之鋁配線54和與信號線L對應之第二層之鋁配線產生連接。另外，位元線BL和單元選擇電晶體之吸極區域經由接觸孔56產生連接。

如圖16所示，記憶單元電晶體之活性區域幅度和單元選擇電晶體之活性區域幅度由分離氧化膜60加以界定。

另外，圖17表示對應到圖15所記憶單元陣列104之記憶單元閘圖型製作罩幕之一實例。在圖17中，利用圖13所示之抗蝕劑25，使該區域之單元選擇電晶體之浮動閘極電極層未被蝕刻的殘留。

未被抗蝕劑25覆蓋之部份，以殘留在記憶單元電晶體之

五、發明說明(24)

開極電極層和單元選擇電晶體之開極電極層之上方之TEOS膜18作為罩幕，使ONO膜16.1,16.2和浮動開極電極層15.1,15.2被蝕刻。

另外，圖18是利用記憶單元開圖型製作罩幕之變更，用來進行不除去控制開極電極層之打樁之剖面圖。如圖18所示，浮動開極電極層15.2之側壁和控制開極電極層17.2之側壁經由Al接觸部40產生連接。利用這種方式使以Al配線形成之信號線L和浮動開極電極層15.2產生連接。

另外，記憶單元電晶體和單元選擇電晶體之連接關係亦可以構建成在單元選擇電晶體MS和位元線BL之間配置記憶單元電晶體MC(以下對此稱為源極選擇型連接)，用來代替上面所說明之汲極選擇型連接。

依照上述之方式，1個記憶單元由記憶單元電晶體所構成，在讀出動作時，可以避免非選擇狀態之記憶單元因為連接在與選擇狀態之記憶單元相同之字線而產生洩漏電流，因此可以實現低電壓讀出動作。

另外，因為以與記憶單元電晶體相同之工程製造單元選擇電晶體，所以可以以最小設計尺度間隔形成。

另外，因為使用被配置成與單元選擇電晶體之控制開極電極平行之鋁之信號線，可以使單元選擇電晶體以高速成為導通/非導通狀態，所以可以進行高速讀出動作。

[實施形態2]

下面將說明根據本發明之實施形態2之非揮發性半導體記憶裝置之動作。

實施形態2是在實施形態1所說明之具有2電晶體型記憶單元之非揮發性半導體記憶裝置100中，當讀出動作時使

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(25)

施加在記憶單元電晶體之控制閘極電極之電壓成為任意之電位，和在等待時對全部之記憶單元電晶體施加與讀出動作時相同之電壓。

圖19表示實施形態2之2電晶體型記憶單元之記憶單元部之臨界值分布例。如圖19所示，實施形態2之記憶單元電晶體之低臨界值之分布亦可以在0伏特以下。與此對應的，施加在記憶單元電晶體之控制閘極電極之電壓(讀出電壓)亦可以任意的選擇。

亦即，在2電晶體型記憶單元中，因為單元選擇電晶體連接到各個之記憶單元電晶體，所以連接到與選擇狀態之記憶單元電晶體相同位元線之非選擇狀態之記憶單元電晶體之對應之單元選擇電晶體全部變成OFF狀態，可以阻止非選擇狀態之記憶單元電晶體產生洩漏電流。

下面將說明實施形態2之2電晶體型記憶單元之記憶單元電晶體部之讀出電壓和等待時之電壓之關係。

圖20表示施加在吸極選擇型連接之2電晶體型記憶單元之各種電壓之電壓條件。 V_{cg} 表示施加在記憶單元電晶體之控制閘極電極之電壓(讀出電壓)， V_s 表示施加在與源極線連接之源極區域之電壓， V_d 表示施加在與位元線連接之吸極區域之電壓， V_{sg} 表示施加在單元選擇電晶體之閘極電極之電壓。

如圖20所示，在等待時可以對記憶單元電晶體之控制閘極電極施加與讀出動作相同之電壓。亦即，所有對應到記憶單元電晶體之單元選擇電晶體變成OFF狀態，用來使記憶單

五、發明說明(26)

元電晶體和位元線成為非連接狀態，因此不需要進行等待時和讀出時之電壓調整。

另外，在使用外部電源電壓 V_{cc} 以外之任意之電壓作為讀出電壓 V_{cg} 之情況時，以圖1所示之讀出電壓產生電路132產生讀出電壓 V_{cg} ，將其供給到WL解碼器106。

亦即，在實施形態2之非揮發性半導體記憶裝置100中，經由將讀出電壓 V_{cg} 設定為任意之電壓，可以用來調整寫入速度或消除速度。

另外，經由在與讀出電壓 V_{cg} 相同之電壓進行等待，在讀出動作時，可以又將單元選擇電晶體之閘極電壓充電至指定之電壓。因此，不需要變化讀出電壓 V_{cg} (施加在字線之電壓)就可以進行讀出動作，所以不需要以鋁配線對字線施加打樁就可以進行高速讀出動作。

[實施形態3]

圖21是概略方塊圖，用來表示本發明之實施形態3之非揮發性半導體記憶裝置200之構造。

參照圖21，該非揮發性半導體記憶裝置200更包含有SG解碼器205，具備有記憶單元陣列204用來代替非揮發性半導體記憶裝置100之記憶單元陣列104，和具備有源極解碼器207和208用來代替源極解碼器116。

記憶單元陣列204是DINOR型記憶單元陣列，包含有多個記憶單元陣列塊BLK。在圖20中代表性的顯示有2個之記憶單元陣列塊BLK0和BLK1，在各個記憶單元陣列塊BLK分別有4個之記憶單元電晶體和4個之單元選擇電晶體。

五、發明說明(27)

記憶單元陣列塊 BLK0 包含有記憶單元電晶體 MC1a, MC1b, MC2a 和 MC2b, 單元選擇電晶體 MS1a, MS1b, MS2a 和 MS2b, 和選擇閘 SG1 和 SG2。

記憶單元電晶體 MC1a 和 MC1b 之各個之源極與源極線 SL1 連接。記憶單元電晶體 MC2a 和 MC2b 之各個之源極與源極線 SL1 連接。

單元選擇電晶體 MS1a 連接在記憶單元電晶體 MC1a 之吸極和副位元線 SBL1 之間。單元選擇電晶體 MS1b 連接在記憶單元電晶體 MC1b 之吸極和副位元線 SBL1 之間。

單元選擇電晶體 MS2a 連接在記憶單元電晶體 MC2a 之吸極和副位元線 SBL2 之間。單元選擇電晶體 MS2b 連接在記憶單元電晶體 MC2b 之吸極和副位元線 SBL2 之間。

選擇閘 SG1 用來使主位元線 BL1 和副位元線 SBL1 之連接進行開閉。選擇閘 SG2 用來使主位元線 BL2 和副位元線 SBL2 之連接進行開閉。

記憶單元電晶體 MC1a 和 MC2a 之各個之閘極電極均連接到字線 WL1, 記憶單元電晶體 MC1b 和 MC2b 之各個之閘極電極均連接到字線 WL2。

記憶單元陣列塊 BLK1 包含有記憶單元電晶體 MC3a, MC3b, MC4a 和 MC4b, 單元選擇電晶體 MS3a, MS3b, MS4a 和 MS4b, 和選擇閘 SG3 和 SG4。

記憶單元電晶體 MC3a 和 MC3b 之各個之源極與源極線 SL2 連接。記憶單元電晶體 MC4a 和 MC4b 之各個之源極與源極線 SL2 連接。

五、發明說明(28)

單元選擇電晶體 MS3a 連接在記憶單元電晶體 MC3a 之吸極和副位元線 SBL3 之間。單元選擇電晶體 MS3b 連接在記憶單元電晶體 MC3b 之吸極和副位元線 SBL3 之間。

單元選擇電晶體 MS4a 連接在記憶單元電晶體 MC4a 之吸極和副位元線 SBL4 之間。單元選擇電晶體 MS4b 連接在記憶單元電晶體 MC4b 之吸極和副位元線 SBL4 之間。

選擇閘 SG3 用來使主位元線 BL1 和副位元線 SBL3 之連接進行開閉。選擇閘 SG4 用來使主位元線 BL2 和副位元線 SBL4 之連接進行開閉。

記憶單元電晶體 MC3a 和 MC4a 之各個之閘極電極均連接到字線 WL3，記憶單元電晶體 MC3b 和 MC4b 之各個之閘極電極均連接到字線 WL4。

單元選擇電晶體 MS1a 和單元選擇電晶體 MS2a 之各個之閘極電極層均連接到單元選擇線 ML1。單元選擇電晶體 MS1b 和單元選擇電晶體 MS2b 之各個之閘極電極層均連接到單元選擇線 ML2。

單元選擇電晶體 MS3a 和單元選擇電晶體 MS4a 之各個之閘極電極層均連接到單元選擇線 ML3。單元選擇電晶體 MS3b 和單元選擇電晶體 MS4b 之各個之閘極電極層均連接到單元選擇線 ML4。

記憶單元 SG 解碼器 114 將指定之電位供給到與被選擇之列對應之任何一個之單元選擇線 ML1~SL4。

源極解碼器 207 在寫入、消除、讀出動作時，用來調整源極線 SL1 之電壓。源極解碼器 208 在寫入、消除、讀出動作時，用來調整源極線 SL2 之電壓。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(29)

SG解碼器205依照從位址緩衝器102施加之內部列位址信號Ax，用來接受高電壓產生電路110和負電壓產生電路112之輸出，藉以控制對應之選擇閘SG1~SG4之閘極電位，選擇性的連接副位元線和主位元線。

下面將簡單的說明非揮發性半導體記憶裝置200之動作。
[程式動作]

在對記憶單元寫入資料時，對位址緩衝器102施加位址信號A₀~A_i用以指定所欲選擇之記憶單元之位址。另外一方面，在資料輸入/輸出緩衝器124施加所欲寫入之資料，資料驅動器126將其驅動成為對應之位元線之電位位準。寫入電路130經由位元線BL1接受來自資料驅動器126之寫入資料。

在下面說明中，被選擇之記憶單元為記憶單元陣列塊BLK0中之MC1a和MC1b。首先對記憶單元陣列塊BLK0中之記憶單元陣列MC1a和MC1b進行消除動作。亦即，在寫入/消除控制電路122控制之下，副位元線SBL1變成浮動狀態，高電壓產生電路和負電壓產生電路分別用來產生指定之高電壓和負電壓。因此，源極解碼器207經由源極線SL1使記憶單元陣列塊BLK0中之記憶單元電晶體MC1a和MC1b之源極電位成為負電位(例如，-8v)。另外一方面，阱電位產生電路120亦使記憶單元電晶體之阱電位成為與記憶單元電晶體之源極電位相同之負電位(例如，-8V)。

記憶單元SG解碼器114對單元選擇線ML1和ML2供給電位。WL解碼器106在寫入/消除控制電路122之控制下，將從

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(30)

高電壓產生電路110輸出之高電壓(例如, 10V) 供給到字線WL1和WL2。

利用這種方式, 從基板側將電子注入到記憶單元電晶體MC1a和MC1b之浮動閘極, 用來使該等記憶單元電晶體之臨界值上升。利用上述之動作用來完成消除動作。

其次, 對於寫入動作, 寫入電路130在寫入/消除控制電路122之控制下, 驅動位元線BL1之電位位準。亦即, 在只對記憶單元MC1a進行資料寫入之情況時, 源極解碼器207使源極線SL1成為浮動狀態。阱電位驅動電路120在寫入/消除控制電路122之控制下, 使阱電位成為例如0V。

記憶單元SG解碼器114將指定之電位供給到與被選之行對應之單元選擇線ML1。WL解碼器106在寫入/消除控制電路122之控制下, 將從負電壓產生電路112施加之負電位(例如, -8V)供給到字線WL1。寫入電路130亦在寫入/消除控制電路122之控制下, 根據從高電壓產生電路110輸出之高電壓, 使位元線BL1之位準成為高電位(例如, 5V)。

經由將上述方式之電位施加在記憶單元電晶體MC1a, 可以進行從浮動閘極吸出電子, 藉以變化記憶單元電晶體MC1a之臨界值電壓。

當電位之供給結束時, 非揮發性半導體記憶裝置200在寫入/消除控制電路122之控制下進行驗證動作藉以進行該寫入/消除控制電路122之寫入確認。利用該寫入/消除控制電路122, 當判定所欲寫入到記憶單元電晶體MC1a之資料之寫入尚未完了時, 就再度的對記憶單元電晶體MC1a施

五、發明說明(31)

加寫入用之電位，然後進行程式驗證動作。

依照這種方，變成對被選擇之記憶單元MC1a寫入指定之資料。

另外，在實施形態3之2電晶體型記憶單元中，經由使用單元選擇電晶體，可以只使被選擇寫入之記憶單元電晶體與主位元線連接。因此，1個記憶單元電晶體之寫入動作不會受到其他之記憶單元電晶體之臨界值之影響。

[讀出動作]

當對記憶單元進行資料之讀出時，對位址緩衝器102施加位址信號A₀~A_i用以指定所欲選擇之記憶單元之位址。從位址緩衝器102輸出內部列位址信號A_x。

記憶單元電晶體MC1a為被選擇者。記憶單元SG解碼器114在回應內部列位址信號A_x時，將指定之電位供給到被選擇讀出之列之對應之單元選擇線ML1。WL解碼器106在回應內部列位址信號A_x時，將指定之電位供給到被選擇讀出之字線WL1。另外，位元線BL1和源極線SL被供給有指定之電壓。感測放大器128經由行選擇閘SLG1用來檢測位元線BL1之電位之變化。

下面將說明實施形態3之由2電晶體型記憶單元形成之非揮發性半導體記憶裝置200之讀出動作速度和實施形態1之非揮發性半導體記憶裝置100之讀出動作速度之比較。

在2電晶體型記憶單元中，單元選擇電晶體之驅動力是決定讀出電流的1個重要因素。因此，在外部電源電壓V_{cc}降低時，讀出電流就降低，因而使讀出速度降低。

五、發明說明(32)

然而，在讀出動作時，以讀出電流對位元線電容進行充電，經由檢測位元線電壓之變化量(圖1，圖21之感測放大器電路128)，用來檢測記憶單元之資訊為"1"或"0"。

因此，即使讀出電流變低之情況時，假如使位元線電容變小，因為對位元線進行充電，所以檢測所需之時間可以縮短。

圖22表示實施形態1之NOR型記憶單元陣列之位元線電容CB0之算出條件。在圖22中，X1表示位元線寄生電容量，X2表示記憶單元電晶體之擴散層電容量，X3表示連接到1個位元線之記憶單元之單元數目。記憶單元電晶體之擴散層電容量X2之總量X4($=X2 \times X3 \div 2$)和位元線寄生電容量X1相加後之值變成為位元線電容量CB0。

例如，如圖22所示，當位元線寄生電容量X1為1pF，記憶單元電晶體之擴散層電容量X2當2fF/cell，連接在1個位元線之記憶單元之單元數目X3為2000 cell時，則記憶單元電晶體之擴散層電容量之總量X4為2pF，位元線電容量CB0為3pF。

依照這種方式，在讀出電流為60 μ A之情況時，對位元線進行充電，檢測位元線之變化量所需要之時間 t_0 變成為10ns($=3pF \times 0.2V \div 60\mu A$)。其中，檢測所需要之位元線電位變化量為0.2V。

下面將說明實施形態3之DINOR型記憶單元陣列之位元線電容量CB1之求得。

圖23是電路圖，用來說明實施形態3之DINOR型記憶單元

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(33)

陣列之位元線電容。如圖23所示，在實施形態3之DINOR型記憶單元陣列中，在記憶單元電晶體MC和主位元線BL之間連接有選擇閘SG1,SG2,...。

在讀出動作時，使選擇閘SG1,SG2,...進行開閉，用來使連接在被選擇之記憶單元電晶體之副位元線SBL1,SBL2,變成為與主位線BL連接之狀態。

副位元線SBL1上之記憶單元電晶體MC變成為被選擇。選擇閘SG1變成ON狀態，選擇閘SG2,...為OFF狀態。在各個副位元線SBL1,SBL2,...，當連接有64個之記憶單元之情況時，利用選擇動作，使連接在主位元線BL之記憶單元成為64個。

圖24表示實施形態3之DINOR型記憶單元陣列之位元線電容量CB1之算出條件。在圖24中，X5表示主位元線寄生電容量，X6表示副位元線寄生電容量，X7表示記憶單元電晶體之擴散層電容量，X8表示連接在1個副位元線之記憶單元之單元數目，X10表示選擇閘之電晶體電容量。記憶單元電晶體之擴散層電容量X7之總量X9($X7 \times X8 \div 2$)，主位元線寄生電容量X5，副位元線寄生電容量X6，和選擇閘之電晶體電容量X10相加後之值變成為位元線電容量CB1。

例如，如圖24所示，當記憶單元電晶體之擴散層電容量X7為2fF/cell，連接到1個副位元線之記憶單元之單元數目X8為64 cell時，記憶單元電晶體之擴散層電容量之總量X9變成為0.06PF，另外當主位元線寄生電容量X5為1PF

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(34)

，副位元線寄生電容量 X_s 為 $0.05PF$ ，選擇閘之電晶體電容量為 $0.2PF$ 時，位元線電容量 $CB1$ 就變成 $1.3PF$ 。亦即，變成為實施形態 1 之 NOR 型記憶單元陣列之位元線電容量 $CB0$ 之大約 $1/2$ 。

因此，在包含有實施形態 3 之 2 電晶體型記憶單元之 DINOR 型記憶單元陣列中，即使在讀出電流為通常之 $60\mu A$ 之 $1/2$ 之 $30\mu A$ 之情況時，存取速度亦不會降低。

亦即，在包含有實施形態 3 之 2 電晶體型記憶單元之 DINOR 型記憶單元陣列中，當進行低電壓讀出動作時，單元選擇電晶體之驅動力降低，讀出電流變小，但是利用位元線電容量之減低之效果，即使讀出電流成為通常之 $1/2$ 之電流時，存取速度亦不會降低，可以進行低電壓動作和高速存取動作。

另外，與實施形態 1 同樣的，在實施形態 3 中，經由構建成使用在單元選擇電晶體之閘極電極施加上有打樁之信號線 L ，以高速驅動單元選擇電晶體，可以以更高速度進行存取動作。

另外，記憶單元電晶體和單元選擇電晶體之連接關係亦可以使用源極選擇型連接用來代替上面所說明之汲極選擇型連接。

[實施形態 4]

下面將說明根據本發明之實施形態 4 之非揮發性半導體記憶裝置之動作。

實施形態 4 是實施形態 3 所說明之具有 2 電晶體型記憶單

五、發明說明(35)

元之非揮發性半導體記憶裝置200之寫入、消除、和讀出動作之另一實例。

在2電晶體型記憶單元中，使用單元選擇電晶體用來使對應之記憶單元電晶體和位元線之導通路徑進行開關。因此，記憶單元電晶體之臨界值分布之最下限亦可以在例如0伏特以下。另外，不需要使低臨界值側之分布變狹。

因此，施加在記憶單元電晶體之控制閘極電極之電壓（讀出電壓）可以任意的選擇。另外，在等待時，可以對記憶單元電晶體施加與讀出電壓相同之電壓。下面將使用圖25～圖29來進行說明。

圖25和圖26表示在非揮發性半導體記憶裝置200中，施加在2電晶體型記憶單元之各種電壓之電壓條件之一實例。圖25對應到吸極選擇型連接之情況，圖26對應到源極選擇型連接之情況。

另外，圖27～圖29是對應到圖25之各種動作時之時序圖，圖27對應到讀出動作，圖28對應到寫入動作，圖29對應到消除動作。

在圖25～圖29中， V_{cg} 表示施加在記憶單元電晶體之控制閘極電極之電壓， V_s 表示施加在與源極線連接之源極區域之源極電壓， V_d 表示施加在與位元線連接之吸極區域之吸極電壓， V_{sg} 表示施加在單元選擇電晶體之閘極電極之閘極電壓。另外，在圖25和圖26中，其一實例是使外部電源電壓 V_{cc} 成為1.8V。

參照圖25和圖27，在等待時，例如，使記憶單元電晶體

五、發明說明(36)

之控制閘極電極之電壓在 V_{cg} 成為 $0V$ 。在讀出動作時，使施加在記憶單元電晶體之控制閘極電極電壓為 $0V$ 。使吸極電壓 V_d 成為 $1V \sim V_{cc}$ (例如， $1V \sim 1.8V$)。使對應之單元選擇電晶體之閘極電壓 V_{sg} 成為外部電源電壓 V_{cc} 。(例如： $1.8V$)。源極電壓 V_S 和阱電壓 V_{well} 為 $0V$ 。利用這種方式從被選擇讀出之記憶單元電晶體中讀出資料。

參照圖 25 和圖 28，在寫入動作時，首先使吸極電壓 V_d 成為 $5V$ ，使對應之單元選擇電晶體之閘極電壓 V_{sg} 成為 $6V$ 。使記憶單元電晶體之控制閘極電極之電壓 V_{cg} 成為 $-10V$ 。開始進行寫入動作。

當記憶單元電晶體之控制閘極電極之電壓 V_{cg} 成為 $0V$ 時就結束寫入。

然後，使吸極電壓 V_d 成為 $1V \sim V_{cc}$ (例如， $1V \sim 1.8V$)，使對應之單元選擇電晶體之閘極電壓 V_{sg} 成為外部電源電壓 V_{cc} (例如， $1.8V$)。利用這種方式進行寫入確認用之讀出。

在習知之 DINOR 型快速記憶器中，對於每一個位元，經由重複的進行施加脈波式電壓藉以吸出電子之動作，和重複的進行臨界值之驗證之驗證動作，用來使低臨界值側之分布帶變狹。但是在實施形態 4 中，因為不需要使臨界值電壓之分布帶變狹，所以不需要施加脈波式之電壓，和對每一個脈波電壓進行寫入確認。因此，可以有充分之時間進行寫入，所以可以進行寫入確認。

參照圖 25 和圖 29，首先說明在每個消除單元(區)具有阱分割之情況時之消除動作。在這種情況時之消除動作中，

五、發明說明(37)

首先，使源極電壓 V_s 和阱電壓 V_{well} 成為 $-8V$ ，使對應之單元選擇電晶體之閘極電壓 V_{sg} 成為 $0V \sim -8V$ 。使記憶單元電晶體之控制閘極電極之電壓 V_{cg} 成為 $10V$ 。利用這種方式開始消除。

當記憶單元電晶體之控制閘極電極之電壓 V_{cg} 成為 $0V$ 時就結束消除動作。

然後，使吸極電壓 V_d 成為 $1V \sim V_{cc}$ (例如， $1V \sim 1.8V$)，使對應之單元選擇電晶體之閘極電壓 V_{sg} 成為外部電源電壓 V_{cc} (例如， $1.8V$)。利用這種方式進行消除確認用之讀出。

下面將說明無阱分割之情況時之消除動作。在這種情況，因為記憶單元陣列形成在1個阱內，所以最好是不驅動阱電位的進行消除動作。因此，使控制閘極電極之電位 V_{cg} 成為 $18V$ 。

在此種情況之消除動作中，首先使源極電壓 V_s ，阱電壓 V_{well} 成為 $0V$ ，使對應之單元選擇電晶體之閘極電壓 V_{sg} 成為 $0V$ 。使記憶單元電晶體之控制閘極電極之電壓 V_{cg} 成為 $18V$ 。利用這種方式開始消除。

當記憶單元電晶體之控制閘極電極之電壓 V_{cg} 成為 $0V$ 時就結束消除動作。

然後，使吸極電壓 V_d 成為 $1V \sim V_{cc}$ (例如， $1V \sim 1.8V$)，使對應之單元選擇電晶體之閘極電壓 V_{sg} 成為外部電源電壓 V_{cc} (例如， $1.8V$)。利用這種方式進行消除確認用之讀

五、發明說明(38)

出。

另外，在圖26所示之源極選擇型連接之情況，在寫入動作時，不需要考慮到單元選擇電晶體之電壓降，在寫入期間中，因為可以斷開單元選擇電晶體（使其源極成為開路狀態），所以可以使單元選擇電晶體之閘極電壓 V_{sg} 成為0V，此點與吸極選擇型不同。

亦即，在實施形態4之非揮發性半導體記憶裝置200中，經由將讀出動作時之字線之電壓，換言之，將讀出電壓 V_{cg} 設定在任意之電壓，可以用來調整寫入速度或消除速度。

另外，經由在與讀出電壓 V_{cg} 相同之電壓進行等待，在讀出動作時可以只將單元選擇電晶體之閘極電壓充電至指定之電壓。因此，不需要變化讀出電壓 V_{cg} （施加在字線之電壓）就可以進行讀出動作，所以不以鋁配對字線施加打樁時亦可以進行高速之讀出動作。

[實施形態5]

下面將說明根據本發明之實施形態5之非揮發性半導體記憶裝置。

實施形態5是在用以構成實施形態1和實施形態3所說明之非揮發性半導體記憶裝置之2電晶體型記憶單元中，使用源極/吸極穿通耐壓小於寫入動作時之吸極施加電壓之電晶體作為記憶單元電晶體。

在短通道之裝置中，當吸極施加電壓變大時，載子會通過吸極/源極之間被吸出，出現源極/吸極穿通現象。其限度電壓稱為源極/吸極穿通耐壓 V_x 。如圖30所示，當吸極施

五、發明說明(39)

加電壓超過源極/吸極穿通耐壓 V_x 時，吸極/源極間之電流就急激的增大。

其中，該源極/吸極穿通耐壓 V_x 是當阱，源極和閘極電壓為接地電壓時，產生1 nA之源極/吸極穿通洩漏電流時之吸極電壓之值。

因此，在習知之1電晶體型之記憶單元之快速記憶器中，當使用源極/吸極穿通耐壓 V_x 小於寫入時吸極施加電壓 V_d 之電晶體時，在寫入動作其吸極/源極間之電流會急激的增大，在被連接於與選擇寫入記憶單元相同位元線之非選擇記憶單元(吸極擾動單元)，會發生有洩漏電流流動和開路之源極電位顯著上升之現象。

在這種情況不能進行正常之寫入動作，所以不能使用源極/吸極穿通耐壓 V_x 小於寫入時吸極施加電壓 V_d 之電晶體(亦即閘極長度較短之電晶體)作為記憶單元。

但是在2電晶體型之記憶單元中，因為各個記憶單元連接有選擇電晶體，所以即使在使用源極/吸極穿通耐壓 V_x 小於寫入時吸極施加電壓 V_d 之電晶體作為記憶單元之情況時，亦可以利用單元選擇電晶體使電流變成OFF。亦即，即使發生源極/吸極穿通之情況時，亦完全不會對寫入動作造成影響。

因此，經由構建成2電晶體型記憶單元，可以使用閘極長度較短之記憶單元電晶體，可以實現閘極長度之微細化。

[實施形態6]

下面將說明根據本發明之實施形態6之非揮發性半導體

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(40)

記憶裝置之構造。

圖 31 是實施形態 6 之 2 電晶體型記憶單元之平面圖。當與實施形態 1 所說明之圖 16 之平面圖比較時，在實施形態 6 中，構成非揮發性半導體記憶裝置之 2 電晶體型之記憶單元其記憶單元電晶體部之活性區域幅度小於單元選擇電晶體部之活性區域幅度。

利用這種方式可以使單元選擇電晶體之施加電壓降低。

下面將使用圖 32～圖 33 用來說明活性區域幅度和施加電壓之關係。

首先說明消除動作時之隧道氧化膜電場 E_{ox} 。因為在消除動作，所以記憶單元電晶體之源極電位，吸極電位和基板電位全部相等。因此，在記憶單元電晶體內之電荷儲存量為 0 之情況時，利用電荷之法則可以使式 (1) 成立。

$$0 = (V_{cg} - V_{fg}) \times C_{ono} + (V_{sub} - V_{fg}) \times (C_s + C_d + C_{sub}) \quad \dots (1)$$

在上式中， V_{cg} 表示控制閘極電極之電位， V_{fg} 表示浮動閘極電極之電位。

另外，如圖 32 所示， C_{ono} 表示控制閘極電極 7 和浮動閘極電極 5 之間之電容量， C_{sub} 表示浮動閘極電極 5 和基板 1 之間之電容量。另外， C_d 表示浮動閘極電極 5 和吸極區域 3 之間之電容量， C_s 表示浮動閘極電極 5 和源極區域 2 之間之電容量。

利用式 (1) 可以使式 (2)～(3) 之關係成立。

$$a_{cg} = C_{ono} / (C_{ono} + C_d + C_{sub} + C_s) \quad \dots (2)$$

五、發明說明(41)

$$V_{fg} = a_{cg} \times V_{cg} + (1 - a_{cg}) \times V_{sub} \quad \cdots (3)$$

在上式中， a_{cg} 表示耦合比。

因此，隧道氧化膜電場 E_{ox} 可以滿足式(4)~(5)之關係。

$$E_{ox} = |V_{fg} - V_{sub}| / t_{ox} \quad \cdots (4)$$

$$= a_{cg} \times |V_{cg} - V_{sub}| / t_{ox} \quad \cdots (5)$$

在上式中， t_{ox} 表示隧道氧化膜厚。另外， $|V_{cg} - V_{sub}|$ 表示消除電壓。

依照上述之方式，假如耦合比 a_{cg} 變大時，隧道氧化膜電場 E_{ox} 亦變大。而消除電壓 $|V_{cg} - V_{sub}|$ 可以變小。

然而，電容量 C_{ono} 和電容量 $(C_d + C_{sub} + C_s)$ 分別可以滿足式(6)~(7)之關係。

$$C_{ono} = E_{ox} \times L_{cg-fg} \times L / t_{eff} \quad \cdots (6)$$

$$(C_d + C_{sub} + C_s) = E_{ox} \times W_{eff} \times L / t_{ox} \quad \cdots (7)$$

在上式中， L 表示閘極長度， t_{eff} 表示ONO膜之氧化膜換算膜厚， W_{eff} 表示活性區域幅度。另外，如圖33所示， L_{cg-fg} 表示控制閘極電極7和浮動閘極電極5之重疊長度。

因此，根據式(2)，式(6)~(7)，對於耦合比 a_{cg} 可以使式(8)成立。

$$a_{cg} = 1 / \{1 + t_{eff} \times W_{eff} / C_{tox} \times L_{cg-fg}\} \quad \cdots (8)$$

亦即，依照式(8)，假如活性區域幅度 W_{eff} 變小時耦合比 a_{cg} 就變大。

依照上述之關係，經由使活性區域幅度變小可以用來使消除電壓 $|V_{cg} - V_{sub}|$ 變小。亦即，可以使消除動作所需要之電壓降低。

另外，與此同樣的，在寫入動作時，經由使活性區域幅

五、發明說明(42)

度變小，耦合比 acg 變大，可以使寫入消除電壓降低。

另外一方面，對於單元選擇電晶體，經由使活性區域幅度變大用來使記憶選擇電晶體之電流驅動力增大，可以使讀出時等之使單元選擇電晶體變成導通所需要之閘極施加電壓降低。因此，如圖 31 所示，經由使分離氧化膜形成罩幕在記憶單元電晶體部份較小，在單元選擇電晶體部份較大，可以同時獲得該等效果。

[實施形態 7]

下面將說明本發明之實施形態 7 之非揮發性半導體記憶裝置之構造。

實施形態 7 是在構成快速記憶器 2 電晶體型之記憶單元中，使用 p 通道型 MOS 電晶體作為記憶單元電晶體者。

圖 34 是概略方塊圖，用來表示本發明之實施形態 7 之非揮發性半導體記憶裝置 300 之構造。

如圖 34 所示，該非揮發性半導體記憶裝置 300 包含有記憶單元陣列 304 用來代替實施形態 1 之記憶單元陣列 104。

記憶單元陣列 304 是 NOR 型記憶單元陣列，包含有多個記憶單元電晶體 MC 和多個單元選擇電晶體 MS。記憶單元電晶體 MC 和單元選擇電晶體 MS 以 P 通道型電晶體構成。

在圖 34 中，代表性的顯示有記憶單元電晶體 MC11, MC12, MC21 和 MC22，和單元選擇電晶體 MS11, MS12, MS21 和 MS22。

記憶單元電晶體 MC11 和 MC21 之各個之閘極電極均連接到字線 WL1。記憶單元電晶體 MC12 和 MC22 之各個之閘極電極均連接到字線 WL2。

五、發明說明(43)

記憶單元電晶體 MC11, MC12, MC21, 和 MC22 之各個之源極區域均連接到源極線 SL。

單元選擇電晶體 MS11 連接在位元線 BL1 和記憶單元電晶體 MC11 之吸極區域之間。單元選擇電晶體 MS21 連接在位元線 BL1 和記憶單元電晶體 MC12 之吸極區域之間。單元選擇電晶體 MS21 連接在位元線 BL2 和記憶單元電晶體 MC21 之吸極區域之間。單元選擇電晶體 MS22 連接在位元線 BL2 和記憶單元電晶體 22 之吸極區域之間。

單元選擇電晶體 MS11 和 MS21 之各個之閘極電極均連接到單元選擇線 ML1。單元選擇電晶體 MS12 和 MS22 之各個之閘極電極均連接到單元選擇線 ML2。

另外，在非揮發性半導體記憶裝置 300 中，高電壓產生電路 110 將所需要之高電壓供給到 WL 解碼器 106，阱電位產生電路 120 和源極解碼器 116。負電壓產生電路 112 用來將所需要之負電壓供給到 WL 解碼器 106 和寫入電路 130。

阱電位產生電路 120 接受高壓產生電路 110 之輸出，用來控制形成記憶單元電晶體之半導體基板表面之阱電位。寫入電路 130 將來自負電壓產生電路 112 之負電壓供給到對應之位元線。

WL 解碼器 106 接受高電壓產生電路 110 和負電壓產生電路 112 之輸出，在寫入動作時將高電壓供給到被選擇之字線，在消除動作時將負電壓供給到被選擇之字線。另外，WL 解碼器 106 亦可以接受讀出電壓產生電路 132 所產生之任意之讀出電壓之供給。

五、發明說明(44)

源極解碼器 116 接受高電壓產生電路 110 之輸出，經由源極線 SL 用來使記憶單元電晶體 MC1 之源極電位成為高電壓。

然而，使用 p 通道型 MOS 電晶體用以構成 1 電晶體型記憶單元之非揮發性半導體記憶裝置，如「非揮發性半導體記憶裝置(日本國專利案特願平 7-148969 號)」所揭示之方式，利用帶間隧道電流感應熱電子注入(BBHE)寫入，可以進行高速寫入動作。

為著作為參考之用，下面將分別說明使用 N 通道 MOS 電晶體作為記憶單元電晶體之習知之 1 電晶體型記憶單元之寫入動作，和使用 P 通道型 MOS 電晶體作為記憶單元電晶體之習知之 1 電晶體型記憶單元之寫入動作。

圖 35 表示使用 N 通道 MOS 電晶體作為記憶單元之習知之 1 電晶體型記憶單元之寫入動作時之條件和寫入速度之一實例。另外，圖 36 表示使用 P 通道型 MOS 電晶體作為記憶單元之習知之 1 電晶體型記憶單元中，以與圖 35 相同之速度進行寫入之條件之一實例。在圖 35 和圖 36 中， V_d 表示施加在記憶單元電晶體之吸極區域之電壓， V_{cg} 表示施加在記憶單元電晶體之控制閘極電極之電壓， t_{ox} 表示記憶單元電晶體之隧道氧化膜厚。

在以 P 通道型 MOS 電晶體形成記憶單元電晶體之情況，當寫入動作時，由於吸極區域近傍之帶與帶間之隧道電流所產生之電子—電洞對偶中，電洞被吸引到吸極區域，在吸極區域因為電洞之濃度變高，所以不會如同習知技術之發生散亂，奪取能量，因而產生具有高能量之熱電洞。另外

五、發明說明 (45)

，即使當存在有熱電洞之情況時，因為浮動閘極電極變成正電位，所以不會有熱電洞被注入。

因此，不會發生對隧道氧化膜之熱電洞注入，可以防止習知之N通道型MOS電晶體之成為問題之對隧道氧化膜進行熱電洞注入而造成之隧道氧化膜之顯著劣化。

亦即，P通道型MOS電晶體具有上述之特徵，具有可以以低電壓實現高速寫入之能力。但是，當使圖35和圖36進行比較時，P通道型MOS電晶體為著確保吸極擾動邊限，所以不能使吸極電壓變大，不能將控制閘極電壓 V_{cg} 抑制成很小。

與此相對的，下面將使用圖37和圖38用來說明使用p通道型MOS電晶體作為記憶單元電晶體之2電晶體型記憶單元之快速記憶器之寫入動作。

圖37表示p通道型MOS電晶體之吸極選擇型連接之記憶單元之構造和電壓施加條件之一實例，圖38表示使用P通道型MOS電晶體之2電晶體型記憶單元之寫入動作時之條件和寫入速度之一實例。

在圖37中，代表性的顯示有記憶單元電晶體MC1和MC2，和單元選擇電晶體MS1和MS2。

下面將說明寫入動作時選擇記憶單元電晶體MC2之情況，在此種情況，對單元選擇電晶體MS2之閘極施加負的電壓(-7V)。單元選擇電晶體MS1之閘極電壓保持為0V。

因此，在寫入動作時，於對位元線施加負的電壓(-6V)之情況，記憶單元電晶體MC2之吸極區域之電位變成減去臨界值電壓部份之-6V。

五、發明說明(46)

另外一方面，同一位元線BL上之非選擇狀態之記憶單元電晶體MC1之吸極為0V，未被施加寫入電壓(-6V)。亦即，不會發生吸極擾動。

因此，在使用P通道型MOS電晶體作為記憶單元電晶體之2電晶體型記憶單元中，可以進行圖38所示之偏移(bias)設定。亦即，對於使用圖36所示之P通道型MOS電晶體作為記憶單元之習知之1電晶體型記憶單元，可以使寫入動作時之電壓降低至±6V。

另外，上面所說明者是適用在圖34所示之NOR型快速記憶器之情況，但是也可以適用在DINOR型快速記憶器。

另外，記憶單元電晶體和單元選擇電晶體之連接關係亦可以使用源極選擇型連接，用來代替上面所說明之吸極選擇型連接。

[實施形態8]

下面將說明根據本發明之實施形態8之非揮發性半導體記憶裝置之動作。

在實施形態8中用來說明實施形態7所說明之具有使用P通道型MOS電晶體作為記憶單元電晶體之2電晶體型記憶單元之非揮發性半導體記憶裝置300之寫入、消除、和讀出動作之另一實例。

在2電晶體型記憶單元中，使用單元選擇電晶體，用來使對應之記憶單元電晶體和位元線之導通路徑進行開閉。因此，記憶單元電晶體之臨界值分布之最下限亦可以在例如0伏特以下。另外，低臨界值側之分布帶不需要變狹。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(續)

因此，施加在記憶單元電晶體之控制閘極電極之電壓（讀出電壓）可以任意的選擇。另外，在等待時可以對記憶單元電晶體施加與讀出電壓相同之電壓。

圖 39 和圖 40 表示在非揮發性半導體記憶裝置 300 中，施加在 2 電晶體型記憶單元之各種電壓之電壓條件之一實例，圖 39 對應到吸極選擇型連接之情況，圖 40 對應到源極選擇型連接之情況。 V_{cg} 表示施加在記憶單元電晶體之控制閘極電極之電壓， V_s 表示施加在與源極線連接之源極區域之源極電壓， V_d 表示施加在與位元線連接之吸極區域之吸極電壓 V_d ， V_{sg} 表示施加在單元選擇電晶體之閘極電極之閘極電壓。下面將使用圖 39 以吸極選擇型連接為重點進行說明。

在等待時，例如，使記憶單元電晶體之控制閘極電極之電壓 V_{cg} 成為 0V。在讀出動作時使施加在記憶單元電晶體之控制閘極電極之電壓保持為 0V。

使吸極電壓 V_d 成為 $-V \sim -1.8V$ 。使對應之單元選擇電晶體之閘極電壓 V_{sg} 成為 $-1.8V$ 。源極電壓 V_s 和阱電壓 V_{well} 為 0V。利用這種方式從被選擇讀出之記憶單元電晶體讀出資料。

在寫入動作時，使吸極電壓 V_d 成為 $-5V$ ，使對應之單元選擇電晶體之閘極電壓 V_{sg} 成為 $-6V$ 。使記憶單元電晶體之控制閘極電極之電壓 V_{cg} 成為 10V。然後開始寫入。

當記憶單元電晶體之控制閘極電極之電壓 V_{cg} 變成 0V 時就使寫入動作結束。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(48)

在習知之 DINOR 型快速記憶器中，對於每一個位元，重複進行施加脈波式電壓藉以吸出電子之動作，和進行臨界值之驗證之驗證動作，用來使低臨界值側之分布帶變狹。但是，在實施形態 8 中，因為不需要使臨界值電壓之分布帶變狹，所以不需要進行脈波式電壓之施加和對每一個脈波電壓進行寫入確認。因此，具有充分之時間進行寫入，所以可以進行寫入確認。

下面將首先說明阱分割成每一個消除單位(區)時之消除動作。在此種情況時之消除動作中，使源極電壓 V_s 和阱電壓 V_{well} 成為 8V，使對應之單元選擇電晶體之閘極電壓 V_{sg} 成為 0V~8V。使記憶單元電晶體之控制閘極電極之電壓 V_{cg} 成為 -10V。利用這種方式開始消除動作。

當記憶單元電晶體之控制閘極電極之電壓 V_{cg} 變成 0V 時就結束消除動作。

下面將說明無阱分割之情況時之消除動作。在這種情況時，因為記憶單元陣列全體形成在 1 個阱內，所以最好不驅動阱電位的進行消除動作。因此，使記憶單元電晶體之控制閘極電極之電壓 V_{cg} 成為 -18V。

在這種情況之消除動作時，首先使源極電壓 V_s 和阱電壓 V_{well} 成為 0V，使對應之單元選擇電晶體之閘極電壓 V_{sg} 成為 0V。使記憶單元電晶體之控制閘極電極之電壓 V_{cg} 成為 -18V。利用這種方式開始消除動作。

當記憶單元電晶體之控制閘極電極之電壓 V_{cg} 成為 0V 時就結束消除動作。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(49)

另外，在圖40所示之源極選擇型連接之情況，當寫入動作時，因為不需要考慮單元選擇電晶體之電壓降，和在寫入期間中可以斷開單元選擇電晶體（使源極成為開路狀態），所以可以使單元選擇電晶體之閘極電壓 V_{sg} 成為0V，此點與吸極選擇型不同。

亦即，在實施形態8之非揮發性半導體記憶裝置300中，經由將讀出動作時之字線之電壓，換言之，將讀出電壓 V_{cg} 設定在任意之電壓，可以用來調整寫入速度或消除速度。

另外，利用在與讀出電壓 V_{cg} 相同之電壓進行等待，在讀出動作時，可以只將單元選擇電晶體之閘極電壓充電至指定之電壓。因此，不需要變化讀出電壓 V_{cg} （施加在字線之電壓）就可以進行讀出動作，所以不需要以鋁配線對字線施加打樁就可以進行高速之讀出動作。

另外，上面所說明者是適用在NOR型快速記憶器之情況，但是也可以適用在DINOR型快速記憶器。

[實施形態9]

下面將說明根據本發明之實施形態9之非揮發性半導體記憶裝置之動作。

在實施形態9中用來說明實施形態7所說明之具有2電晶體型記憶單元之非揮發性半導體記憶裝置300之動作之另一實例。

在實施形態9中，經由使用P通道型MOS電晶體構成2電晶體型記憶單元，在等待時可以對全阱施加外部電源電壓

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(50)

V_{cc} 。

圖 41 表示實施形態 9 之 2 電晶體型記憶單元之電壓施加條件之一實例，圖 42 是對應到圖 41 之時序圖。

如圖 41～圖 42 所示，在等待時和讀出動作時，例如，使記憶單元電晶體之控制閘極電壓 V_{cg} 成為外部電源電壓 V_{cc} 。

另外，在等待時使全部之含有記憶單元電晶體和單元選擇電晶體之阱之阱電位 V_{well} 成為外部電源電壓 V_{cc} 。

在讀出動作時使單元選擇電晶體之閘極電壓 V_{sg} 成為 0V。

亦即，經由以 P 通道型電晶體構成 2 電晶體型記憶單元，在等待時可以對含有記憶單元之全部之阱施加外部電源電壓 V_{cc} ，其結果是不需要負的電壓，可以以外部電源電壓 V_{cc} 進行動作。

另外，經由對全部之阱施加外部電源電壓 V_{cc} 藉以進行等待，可以使讀出動作之存取速度成為高速。

另外，上面所說明者是適用在 NOR 型快速記憶器之情況，但是也可以適用在 DINOR 型快速記憶器。

[發明之效果]

本發明之第 1 態樣之非揮發性半導體記憶裝置以記憶單元構成包含有可進行電之寫入和消除之記憶單元電晶體和用以控制經由該記憶單元電晶體在位元線和源極線之間流動之電流之 MOS 電晶體，在讀出動作時可以避免連接在與選擇狀態之記憶單元同一字線之非選擇狀態之記憶單元之洩漏電流，所以可以避免由於過消除或過寫入單元所造成之錯誤動作，可以進行低電壓動作。另外，經由使用打樁

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(51)

之金屬配線用以控制上述之MOS電晶體之導通/非導通，可以進行高速之動作。

本發明之第2態樣之非揮發性半導體記憶裝置是在第1態樣之非揮發性半導體記憶裝置中，經由任意的設定讀出電壓可以用來調整寫入速度或消除速度。另外，經由在與讀出電壓相同之電壓進行等待，則即使在字線不施加鋁配線時亦可以進行高速之讀出動作。

本發明之第3態樣之非揮發性半導體記憶裝置以記憶單元構成包含有可進行電之寫入和消除之記憶單元電晶體和用以控制經由該記憶單元電晶體在位元線和源極線之間流動之電流之開關裝置，在讀出動作時可以避免連接在與選擇狀態之記憶單元同一字線之非選擇狀態之記憶單元之洩漏電流，所以可以避免由於過消除或過寫入單元所造成之錯誤動作，可以進行低電壓動作。另外，經由對位元線進行分割，可以防止1個記憶單元陣列塊之寫入動作受到其他之記憶單元塊之記憶單元電晶體之臨界值之影響。

本發明之第4態樣之非揮發性半導體記憶裝置是在第3態樣之非揮發性半導體記憶裝置中，經由任意的設定讀出電壓可以用來調整寫入速度或消除速度。另外，經由在與讀出電壓相同之電壓進行等待，則即使在字線不施加鋁配線時亦可以進行高速之讀出動作。

本發明之第5態樣之非揮發性半導體記憶裝置是在第3態樣之非揮發性半導體記憶裝置中，更以MOS電晶體構成上述之開關裝置，經由使用打樁之金屬配線用來控制上述之

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(52)

MOS電晶體之導通/非導通，可以進行高速之動作。

本發明之第6態樣之非揮發性半導體記憶裝置以記憶單元構成包含有可進行電之寫入和消除之記憶單元電晶體和用以控制經由該記憶單元電晶體在位元線和源極線之間流動之電流之開關裝置，在讀出動作時可以避免連接在與選擇狀態之記憶單元同一字線之非選擇狀態之記憶單元之洩漏電流，所以可以避免由於過消除或過寫入單元所造成之錯誤動作，可以進行低電壓動作。另外，經由使用記憶單元P通道型MOS電晶體作為記憶單元，利用帶與帶間之隧道電流感應熱電子注入寫入，可以進行高速寫入動作。

本發明之第7態樣之非揮發性半導體記憶裝置是在第6態樣之非揮發性半導體記憶裝置中，更使用P通道型MOS電晶體作為開關裝置，藉以在等待時可以對全部之阱施加正的電壓。另外，因為可以對全部之阱施加正的電壓藉以進行等待，所以可以進行高速之讀出動作。

本發明之第8態樣之記憶單元以記憶單元構成包含有可進行電之寫入和消除之記憶單元電晶體和用以控制經由該記憶單元電晶體在位元線和源極線之間流動之電流之選擇電晶體，在讀出動作時可以避免連接在與選擇狀態之記憶單元同一字線之非選擇狀態之記憶單元之洩漏電流，所以可以避免由於過消除或過寫入單元所造成之錯誤動作，可以進行低電壓動作。另外，經由以同一工程形成記憶單元電晶體和選擇電晶體，可以以最小之尺度間隔形成該等電晶體。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(53)

本發明之第9態樣之記憶單元是在第8態樣之記憶單元中，更設有用以驅動選擇電晶體之施加有打樁之金屬配線，所以可以使上述之選擇電晶體以高速進行動作。

本發明之第10態樣之記憶單元以記憶單元構成包含有可進行電之寫入和消除之記憶單元電晶體和用以控制經由該記憶單元電晶體在位元線和源極線之間流動之電流之MOS電晶體，在讀出動作時可以避免連接在與選擇狀態之記憶單元同一字線之非選擇狀態之記憶單元之洩漏電流，所以可以避免由於過消除或過寫入單元所造成之錯誤動作，可以進行低電壓動作。另外，經由使記憶單元電晶體之閘極幅度小於MOS電晶體之閘極幅度，在記憶單元電晶體中可以使寫入消除電壓降低，在MOS電晶體中可以增大電流驅動力，藉以使讀出動作時成為導通狀態所需要之閘極施加電壓降低。

本發明之第11態樣之記憶單元是在第10態樣之記憶單元中，經由在記憶單元電晶體和源極線之間配置MOS電晶體，可以用來控制在記憶單元電晶體和源極線之間流動之電流。

本發明之第12態樣之記憶單元是在第10態樣之記憶單元中，經由在記憶單元電晶體和位元線之間配置MOS電晶體，可以用來控制在記憶單元電晶體和位元線之間流動之電流。

本發明之第13態樣之記憶單元是設置有記憶單元電晶體和用以控制經由該記憶單元在位元線和源極線之間流動之

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(54)

電流之 MOS 電晶體，在讀出動作時可以避免連接在與選擇狀態之記憶單元同一字線之非選擇狀態之記憶單元之洩漏電流，所以可以避免由於過消除或過寫入單元所造成之錯誤動作，可以進行低電壓動作。另外，因為可以使用發生源極/吸極穿通現象之記憶單元電晶體，所以可以使閘極長度微細化。

本發明之第 14 態樣之記憶單元是在第 13 態樣之記憶單元中，經由在記憶單元電晶體和源極線之間配置 MOS 電晶體，可以用來控制在記憶單元電晶體和位元線之間流動之電流。

本發明之第 15 態樣之記憶單元是在第 13 態樣之記憶單元中，經由在記憶單元電晶體和源極線之間配置 MOS 電晶體，可以用來控制在記憶單元電晶體和位元線之間流動之電流。

[附圖之簡單說明]

圖 1 是概略方塊圖，用來說明本發明之實施形態 1 之非揮發性半導體記憶裝置 100 之構造。

圖 2 是圖 1 之非揮發性半導體記憶裝置 100 之記憶單元陣列 104 之構造之擴大電路圖。

圖 3 是在圖 2 所示之記憶單元陣列中，信號線 L 未被打樁之區域之剖面圖。

圖 4 是在圖 2 所示之記憶單元陣列中，信號線 L 被打樁之區域之剖面圖。

圖 5 是剖面圖，用來表示 2 電晶體型記憶單元之製造方法

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(55)

之工程。

圖6是剖面圖，用來表示2電晶體型記憶單元之製造方法之工程。

圖7是剖面圖，用來表示2電晶體型記憶單元之製造方法之工程。

圖8是剖面圖，用來表示2電晶體型記憶單元之製造方法之工程。

圖9是剖面圖，用來表示2電晶體型記憶單元之製造方法之工程。

圖10是剖面圖，用來表示2電晶體型記憶單元之製造方法之工程。

圖11是剖面圖，用來表示2電晶體型記憶單元之製造方法之工程。

圖12是剖面圖，用來表示2電晶體型記憶單元之製造方法之工程。

圖13是剖面圖，用來表示2電晶體型記憶單元之製造方法之工程。

圖14是剖面圖，用來表示2電晶體型記憶單元之製造方法之工程。

圖15是平面圖，用來表示記憶單元陣列104之布置之一實例。

圖16是平面圖，用來表示圖15之記憶單元之1單位之布置。

圖17表示對應到圖15之記憶單元陣列104之記憶單元開

五、發明說明(56)

圖型製作罩幕之一實例。

圖 18 是利用記憶單元開圖型製作罩幕之變更，不除去控制開極電極層，進行打樁之剖面圖。

圖 19 表示實施形態 2 中之 2 電晶體型記憶單元之記憶單元部之臨界值分布例。

圖 20 表示施加在吸極選擇型連接之 2 電晶體型記憶單元之各種電壓之電壓條件之一實例。

圖 21 是概略方塊圖，用來表示本發明之實施形態 3 之非揮發性半導體記憶裝置 200 之構造。

圖 22 表示實施形態 1 之 NOR 型記憶單元陣列之位元線電容量 CB0 之算出條件。

圖 23 是電路圖，用來說明實施形態 3 之 DINOR 型記憶單元陣列之位元線電容量。

圖 24 表示實施形態 3 之 DINOR 型記憶單元陣列之位元線電容量 CB1 之算出條件。

圖 25 表示在非揮發性半導體記憶裝置 200 中，對吸極選擇型連接之 2 電晶體型記憶單元施加之各種電壓之電壓條件之一實例。

圖 26 表示在非揮發性半導體記憶裝置 200 中，對吸極選擇型連接之 2 電晶體型記憶單元施加之各種電壓之電壓條件之一實例。

圖 27 是對應到圖 25 之讀出動作之時序圖。

圖 28 是對應到圖 25 之寫入動作之時序圖。

圖 29 是對應到圖 25 之消除動作之時序圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(57)

圖 30 用來說明源極 / 吸極穿通耐壓。

圖 31 是實施形態 6 之 2 電晶體型記憶單元之平面圖。

圖 32 用來說明電晶體之寄生電容。

圖 33 用來說明電晶體之活性區域幅度。

圖 34 是概略方塊圖，用來表示實施形態 7 之非揮發性半導體記憶裝置 300 之構造。

圖 35 表示使用 N 通道型 MOS 電晶體作為記憶單元之習知之 1 電晶體型記憶單元之寫入動作時之條件和寫入速度之一實例。

圖 36 表示在使用 P 通道型 MOS 電晶體作為記憶單元之習知之 1 電晶體型記憶單元中，以與圖 35 相同之速度進行寫入之條件之一實例。

圖 37 表示使用 P 通道型 MOS 電晶體之吸極選擇型連接記憶單元之構造和電壓施加條件之一實例。

圖 38 表示使用 P 通道型 MOS 電晶體之 2 電晶體型記憶單元之寫入動作時之條件和寫入速度之一實例。

圖 39 表示施加在實施形態 8 之吸極選擇型連接之 2 電晶體型記憶單元之各種電壓之電壓條件。

圖 40 表示施加在實施形態 8 之源極選擇型連接之 2 電晶體型記憶單元之各種電壓之電壓條件之一實例。

圖 41 表示實施形態 9 之 2 電晶體型記憶單元之電壓施加條件之一實例。

圖 42 是對應到圖 41 之 2 電晶體型記憶單元之讀出動作之時序圖。

圖 43 是電路圖，用來表示習知之 NOR 型快速記憶器陣列

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(58)

之構造。

圖44是剖面模式圖，用來說明習知之非揮發性半導體記憶裝置之記憶單元電晶體之構造。

圖45表示習知之NOR型快速記憶器之記憶單元電晶體之臨界值分布。

圖46表示習知之NOR型快速記憶器之記憶單元電晶體之臨界值分布。

圖47用來說明習知之NOR型快速記憶器之過消除單元之問題。

圖48是電路圖，用來表示習知之DINOR型快速記憶器之記憶構造。

圖49表示習知之DINOR型快速記憶器之記憶單元電晶體之臨界值分布。

圖50表示習知之DINOR型快速記憶器之記憶單元電晶體之臨界值分布。

[符號之說明]

102...位址緩衝器，104,204,304...記憶單元陣列，106...WL解碼器，108...y解碼器，114...記憶單元SG解碼器，110...高電壓產生電路，112...負電壓產生電路，120...阱電位產生電路，132...讀出電壓產生電路，122...寫入/消除控制電路，124...資料輸入/輸出緩衝器，126...資料驅動器，128...感測放大器，130...寫入電路，205...SG解碼器，116,207,208...源極解碼器，100~300...非揮發性半導體記憶裝置，L...信號線，WL...字線，BL...位元線，SL

五、發明說明(59)

…源極線，MC…記憶單元電晶體，MS…單元選擇電晶體，
，SG…選擇閘，1…半導體基板，2,12…源極區域，3,12,
23…吸極區域，14…氧化膜，5,15…浮動閘極電極，16…
絕緣膜，7,17…控制閘極電極。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

1. 一種非揮發性半導體記憶裝置，形成在半導體基板上，其特徵是具備有：

多個記憶單元，被排列成多個列和多個行；

多個字線，被設置成對應到上述多個列之各個；

多個位元線，被設置成對應到上述多個行之各個；和

源極線，用來供給第1電位；

上述之多個記憶單元之各個包含有：

記憶單元電晶體；和

MOS電晶體；

上述之各個記憶單元電晶體包含有：

控制閘極，利用對應之字線用來控制其電位；

源極和吸極，被上述之控制閘極之電位控制，成為互相導通/非導通之狀態；和

浮動閘極；

上述之各個MOS電晶體使經由對應之上述記憶單元電晶體在上述位元線和上述第1電位之間流動之電流之導通路徑選擇性的進行開閉；

屬於同一列之上述多個MOS電晶體共用閘極層，更具備多個金屬配線對應到上述同一列之各個；

上述之多個金屬配線之各個被配置成介入有絕緣膜，在對應之上述閘極層之上方具有多個連接孔；

上述之各個金屬配線經由任何一個對應之連接孔形成與上述之對應之閘極層連接；和

更具備有開關選擇裝置，在回應外部位址信號時，選擇

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

性的將電位供給到上述之各個金屬配線。

2. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中更具備有：

列選擇裝置，在回應外部位址信號時，用來選擇上述之字線；

行選擇裝置，在回應外部位址信號時，用來選擇上述之位元線；和

寫入消除裝置，用來對上述之記憶單元電晶體之上述浮動閘極進行注入電子或吸出電子。

3. 一種非揮發性半導體記憶裝置，形成在半導體基板上，其特徵是具備有：

多個記憶單元，被排列成多個列和多個行；

多個字線，被設置成對應到上述多個列之各個；

多個位元線，被設置成對應到上述多個行之各個；和源極線，用來供給第1電位；

上述之多個記憶單元被分割成多個區，各個區包含有被配置成多個列和多個行之多個記憶單元；

上述之多個位元線包含有：

多個主位元線，跨越上述之多個區，被設置成對應到上述多個記憶單元之行；和

多個副位元線群，被設置成分別對應到上述之多個區；上述之各個副位元線群具有多個副位元線與對應之區內之多個行形成對應；

上述之多個記憶單元之各個包含有：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

記憶單元電晶體；和

開關裝置；

上述之各個記憶單元電晶體包含有：

控制閘極，利用對應之字線用來控制其電位；

源極和吸極，被上述之控制閘極之電位控制，成為互相導通/非導通之狀態；和

浮動閘極；

上述之各個開關裝置更包含：

使經由對應之上述記憶單元電晶體在上述位元線和上述第1電位之間流動之電流之導通路徑選擇性的進行開閉；

列選擇裝置，在回應外部位址信號時，用來選擇上述之字線；

行選擇裝置，在回應外部位址信號時，用來選擇上述位元線；

開關選擇裝置，在回應外部位址信號時，用來控制上述之多個開關裝置；

寫入消除裝置，用來對上述之記憶單元電晶體之上述浮動閘極進行注入電子或吸出電子；和

連接裝置，用來將上述之多個副位元線群選擇性的連接到上述之多個主位元線。

4. 如申請專利範圍第3項之非揮發性半導體記憶裝置，其中更具備有讀出裝置，用來讀出被選擇之上述記憶單元電晶體之資料；

上述之列選擇裝置在從上述之記憶單元電晶體讀出資料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

之讀出動作時，將第2電壓供給到對應之上述字線，在等待時將第3電壓供給到上述之多個字線；和

上述之第2電壓和上述之第3電壓相同。

5. 如申請專利範圍第3項之非揮發性半導體記憶裝置，其中

上述之各個開關裝置是MOS電晶體；

屬於同一列之上述多個MOS電晶體共用閘極層，和更具備有多個金屬配線對應到上述之同一列之各個；

上述之多個金屬配線之各個經由具有多個連接孔之絕緣膜被配置在對應之上述閘極層之上方；

上述之各個金屬配線經由任何一個對應之上述連接孔形成與上述之對應之閘極層連接；和

上述之開關裝置在回應外部位址信號時，選擇性的將電位供給到上述之各個金屬配線。

6. 一種非揮發性半導體記憶裝置，形成在半導體基板上，其特徵是具備有：

多個記憶單元，被排列成多個列和多個行；

多個字線，被設置成對應到上述多個列之各個；

多個位元線，被設置成對應到上述多個行之各個；和

源極線，用來供給第1電位；

上述之多個記憶單元之各個包含有：

記憶單元電晶體；和

開關裝置；

上述之各個記憶單元電晶體包含有：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

P型之源極區域和P型之吸極區域，形成在被設於上述半導體基板之主表面之n型阱內；

浮動閘極，經由隧道氧化膜形成在被上述源極區域和上述吸極區域包夾之通道區域上；和

控制閘極，經由絕緣膜形成在上述浮動閘極之上方，其電位受對應之字線控制；

上述之各個開關裝置使經由對應之上述記憶單元電晶體在上述位元線和上述第1電位之間流動之電流之導通路徑選擇性的進行開閉。

7.如申請專利範圍第6項之非揮發性半導體記憶裝置，其中更具備有：

列選擇裝置，在回應外部位址信號時，用來選擇上述之字線；

行選擇裝置，在回應外部位址信號時，用來選擇上述位元線；

開關選擇裝置，在回應外部位址信號時，用來控制上述之多個開關裝置；和

寫入消除裝置，用來對上述之記憶單元電晶體之上述浮動閘極進行注入電子或吸出電子。

8.一種記憶單元，用來構形成在半導體基板上之非揮發性半導體記憶裝置之上述記憶單元陣列，具備有：多個字線，被設置成對應到記憶單元陣列之多個列之各個；多個位元線，被設置成對應到上述記憶單元陣列之多個行之各個；和多個源極線，用來供給第1電位；其特徵是具備

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

有：

記憶單元電晶體，被設在對應之上述位元線和上述第1電位之間，依照對應之上述字線之電位變成導通/非導通狀態，可以以電的和非揮發性的控制其臨界值電壓；和

選擇電晶體，用來使經由上述之記憶單元電晶體在上述位元線和上述第1電位之間流動之電流之導通路徑選擇性的進行開閉；

上述之記憶單元電晶體包含有：

第1不純物區域，形成在上述半導體基板之主表面上；

第2不純物區域，形成在上述半導體基板之主表面上，與上述之第1不純物區域具有指定之間隔；

第1電極層，經由第1氧化膜形成在被上述第1不純物區域和上述第2不純物區域包夾之區域之上方；和

第2電極層，經由第1絕緣膜形成在上述之第1電極層之上方；

上述之選擇電晶體包含有：

第3不純物區域，形成在上述半導體基板之主表面上；

第4不純物區域，形成在上述半導體基板之主表面上，與上述之第3不純物區域具有指定之間隔；

第3電極層，經由第2氧化膜形成在被上述第3不純物區域和上述第4不純物區域包夾之區域之上方；和

第4電極層，經由第2絕緣膜形成在上述之第3電極層之上方；

上述之第2不純物區域和上述之第3不純物區域共用同一

六、申請專利範圍

區域；

上述之第1氧化膜和上述之第2氧化膜以同一工程形成；

上述之第1電極層和上述之第3電極層以同一工程形成；

上述之第1絕緣膜和上述之第2絕緣膜以同一工程形成；

和

上述之第2電極層和上述之第4電極層以同一工程形成。

9. 如申請專利範圍第8項之記憶單元，其中

屬於同一列之上述多個選擇電晶體至少共用上述之第3電極層，更具備有多個金屬配線對應到上述同一列之各個；

上述之多個金屬配線之各個經由具有多個連接孔之絕緣膜被配置在對應之屬於上述同一列之上述選擇電晶體之上方；和

上述之各個金屬配線經由任何一個對應之上述連接孔形成與上述之對應之第3電極層連接。

10. 一種記憶單元，用來構成非揮發性半導體記憶裝置之上述記憶單元陣列，具備有：多個字線，被設置成對應到記憶單元陣列之多個列之各個；多個位元線，被設置成對應到上述記憶單元陣列之多個行之各個；和多個源極線，用來供給第1電位；其特徵是具備有：

記憶單元電晶體；和

MOS電晶體；

上述之記憶單元電晶體包含有：

控制閘極，受對應之上述字線之電位之控制；

源極和吸極，被上述之控制閘極之電位控制，成為互相

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

導通 / 非導通之狀態；和

浮動閘極；

上述之 MOS 電晶體使經由上述之記憶單元電晶體在上述位元線和上述第 1 電位之間流動之電流之導通路徑選擇性的進行開閉；和

上述之記憶單元電晶體之閘極幅度小於上述之 MOS 電晶體之閘極幅度。

11. 如申請專利範圍第 10 項之記憶單元，其中

上述之記憶單元電晶體之吸極與對應之上述位元線連接；

上述之記憶單元電晶體之源極與上述之 MOS 電晶體之一方之導通端子連接；和

上述之 MOS 電晶體之另外一方之導通端子與上述之源極線連接。

12. 如申請專利範圍第 10 項之記憶單元，其中

上述之 MOS 電晶體之一方之導通端子與對應之上述位元線連接；

上述之 MOS 電晶體之另外一方之導通端子與上述之記憶單元電晶體之吸極連接；和

上述之記憶單元電晶體之源極與上述之源極線連接。

13. 一種記憶單元，用來構成非揮發性半導體記憶裝置之上述記憶單元陣列，具備有：多個字線，被設置成對應到記憶單元陣列之多個列之各個；和多個位元線，被設置成對應到上述記憶單元陣列之多個行之各個；和多個源極線，用來供給第 1 電位；其特徵是具備有：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍

記憶單元電晶體；和

MOS電晶體；

上述之記憶單元電晶體包含有：

控制閘極，受對應之上述字線之電位之控制；

源極和吸極，被上述之控制閘極之電位控制，成為互相導通/非導通之狀態；和

浮動閘極；

上述之MOS電晶體使經由上述之記憶單元電晶體在上述位元線和上述第1電位之間流動之電流之導通路徑選擇性的進行開閉；和

上述之記憶單元電晶體之吸極，在對上述之記憶單元電晶體進行寫入動作時，被施加寫入電壓；

上述之寫入電壓大於上述記憶單元電晶體之源極/吸極穿通耐壓。

14.如申請專利範圍第13項之記憶單元，其中

上述之記憶單元電晶體之吸極與對應之上述位元線連接；

上述之記憶單元電晶體之源極與上述之MOS電晶體之一方之導通端子連接；和

上述之MOS電晶體之另外一方之導通端子與上述之源極線連接。

15.如申請專利範圍第13項之記憶單元，其中

上述之MOS電晶體之一方之導通端子與對應之上述位元線連接；

上述之MOS電晶體之另外一方之導通端子與上述之記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

單元電晶體之吸極連接；和

上述之記憶單元電晶體之源極與上述之源極線連接。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

圖 3 1

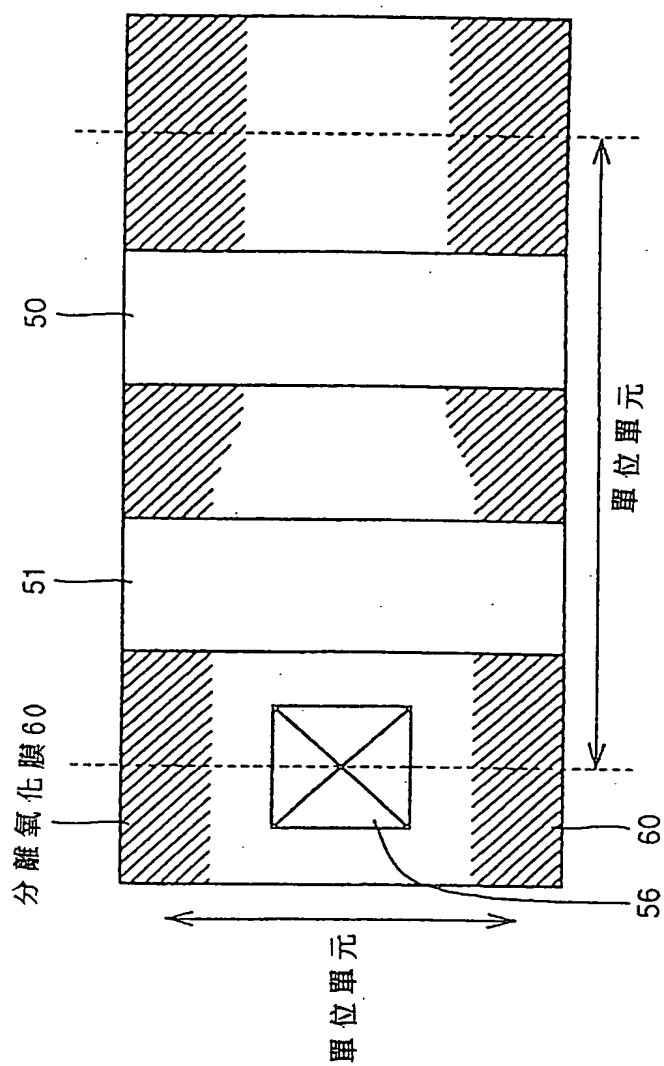


圖 3 2

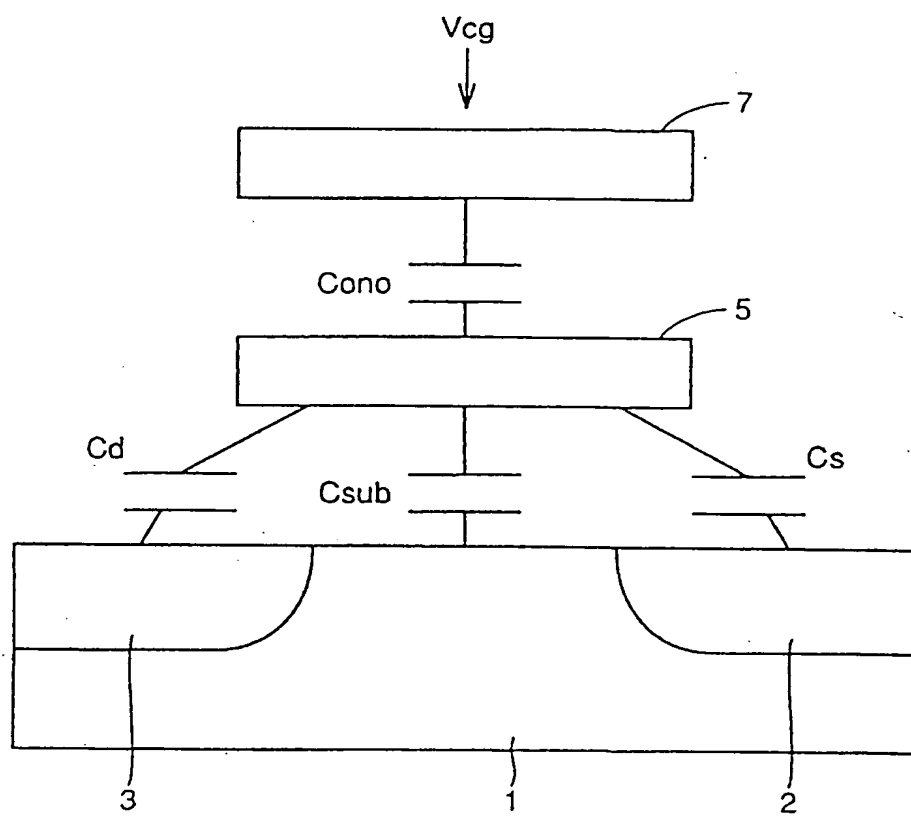


圖 3 3

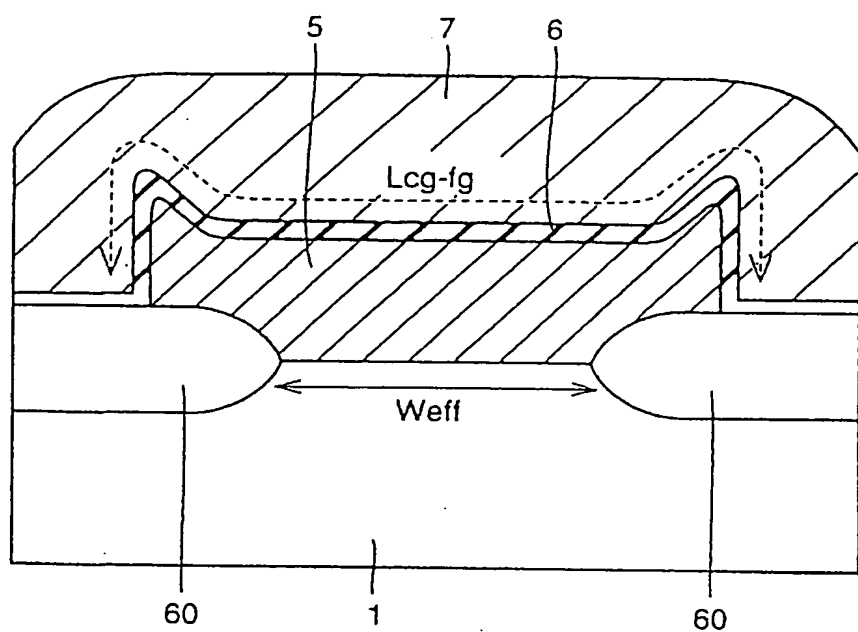


圖 3 4

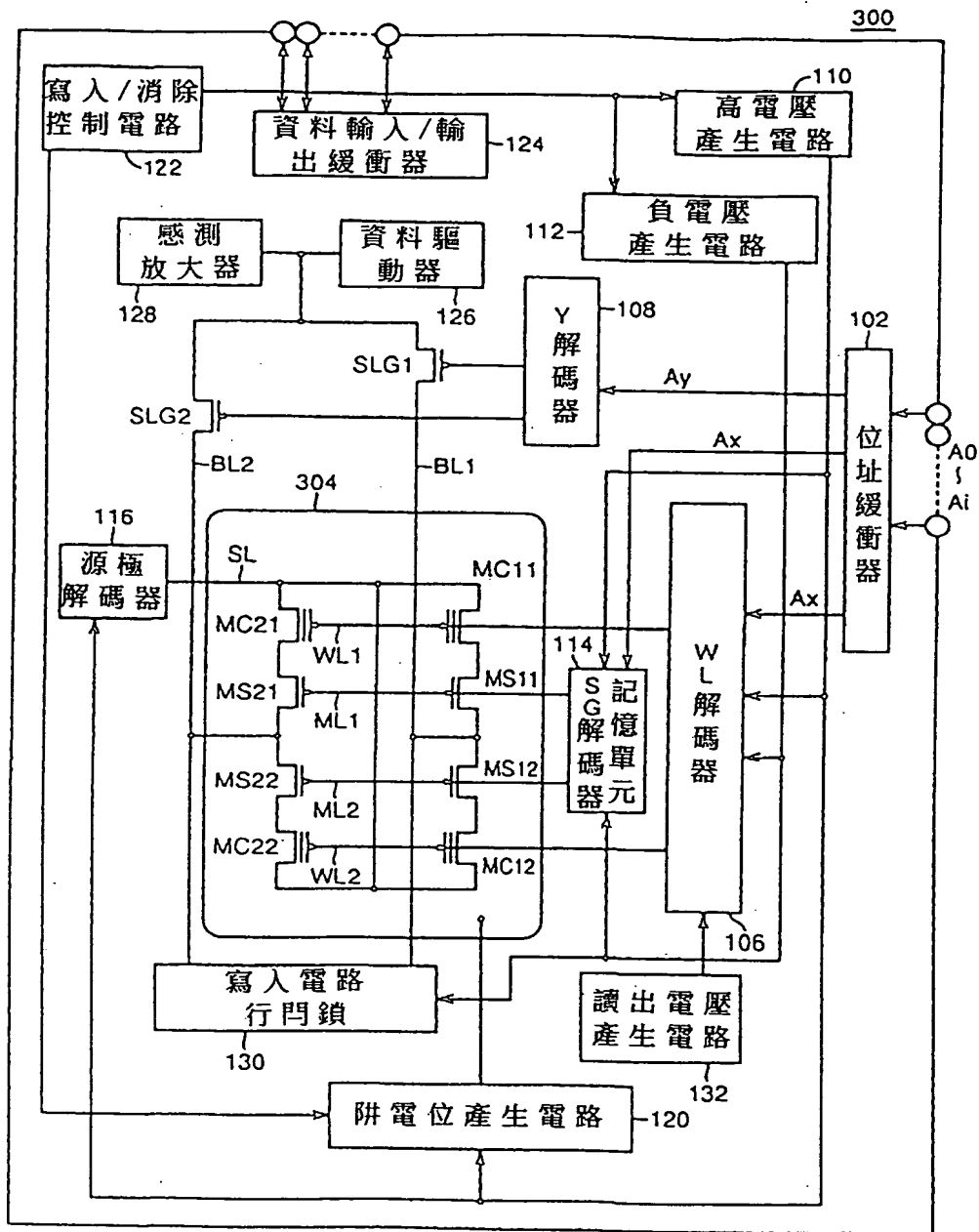


圖 3 5

T _{ox}	V _d	V _{cg}	寫入速度
100Å	6V	-10V	~500 μ s

圖 3 6

T _{ox}	V _d	V _{cg}	寫入速度
100Å	-4.5V	10V	~500 μ s

圖 3 7

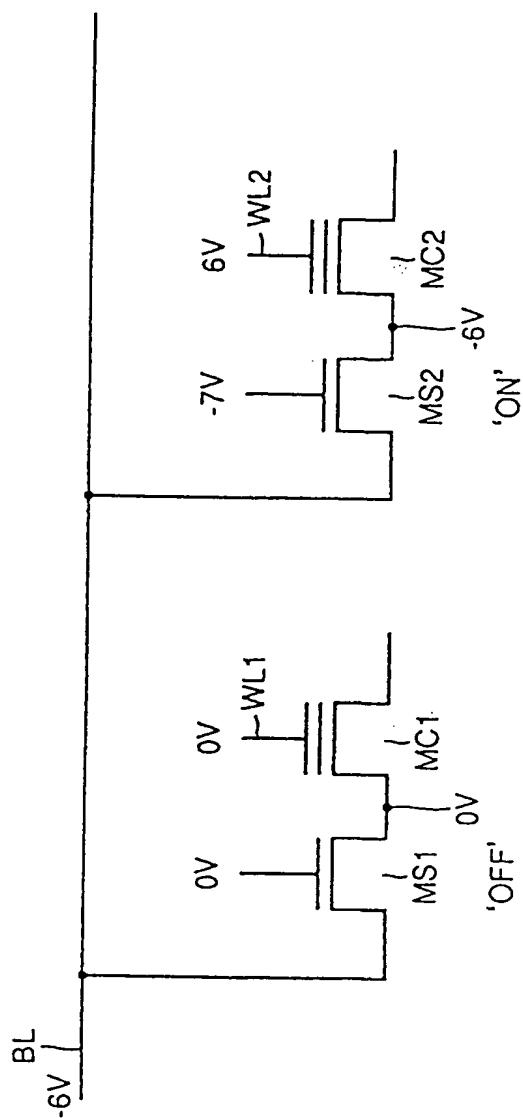


圖 3 8

Tox	Vd	Vcg	寫入速度
100 Å	-6V	6V	~500 μ s

圖 3 9

	Vcg	Vsg	Vs	Vd	Vwell	
等待	0V	0V	0V	0V	0V	
讀出	0V	-1.8V	0V	-1~-1.8V	0V	
寫入	10V	-6V	open	-5V	0V	
消除	-10V	0~8V	8V	open	8V	有阱分割
	-18V	0V	0V	open	0V	無阱分割

圖 4 0

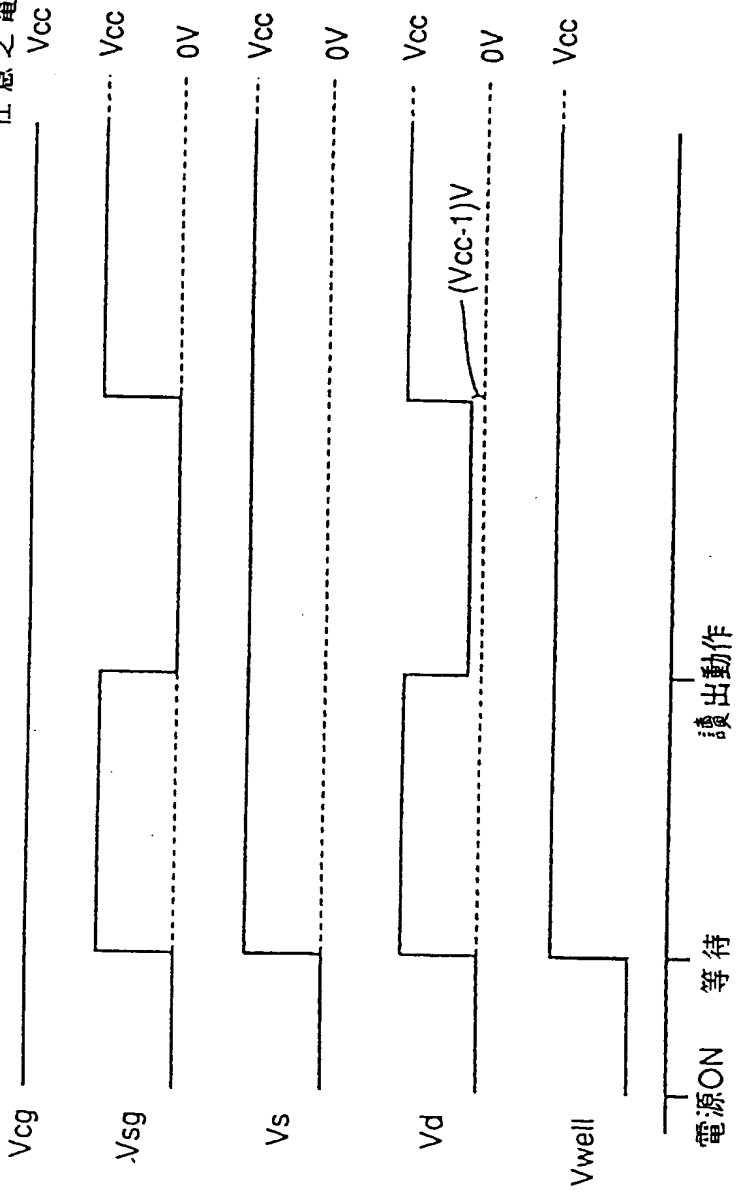
	Vcg	Vsg	Vs	Vd	Vwell	
等待	0V	0V	0V	0V	0V	
讀出	0V	-1.8V	0V	-1V	0V	
寫入	10V	0V	open	-5V	0V	
消除	-10V	0~8V	8V	open	8V	有阱分割
	-18V	0V	0V	open	0V	無阱分割

圖 4 1

ex. Vcc=1.8Vの時

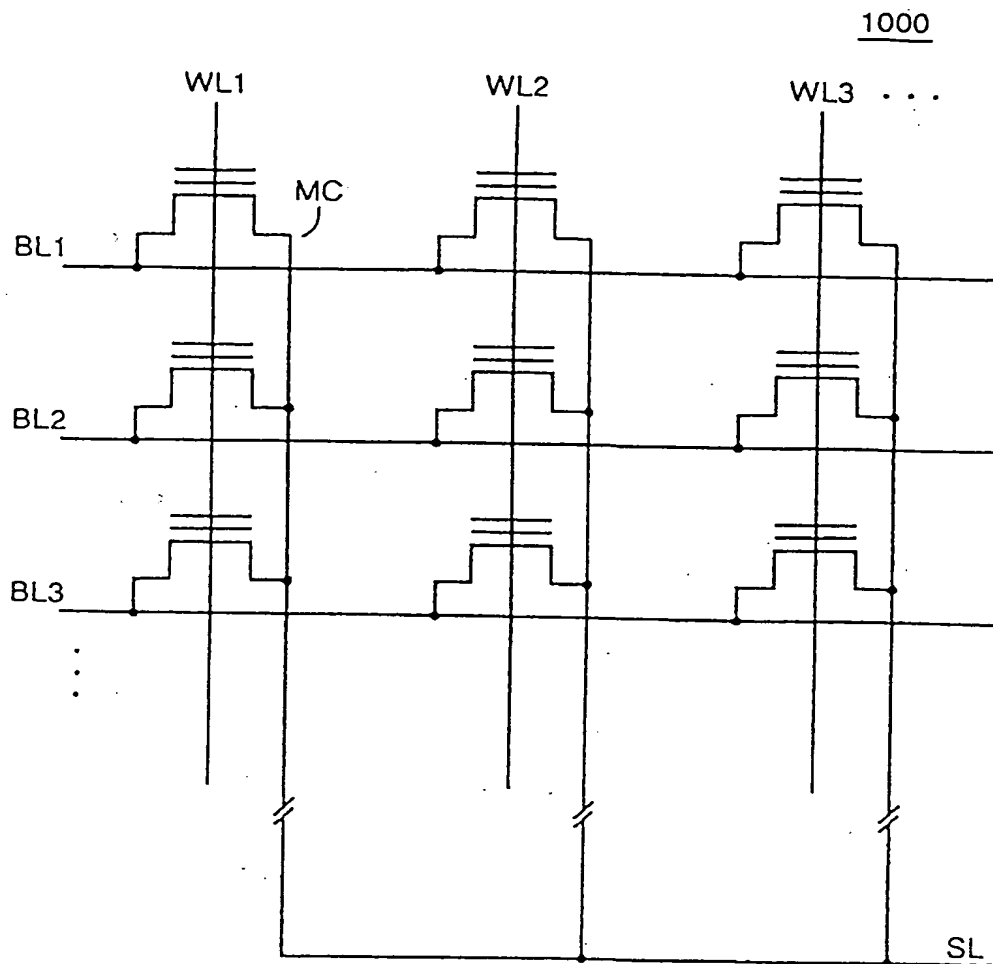
	Vcg	Vsg	Vs	Vd	Vwell
等待	任意	1.8V	1.8V	1.8V	1.8V
讀出	任意	0V	1.8V	0~1V	1.8V

任意之電壓或



395056

圖 4 3



395056

圖 4 4

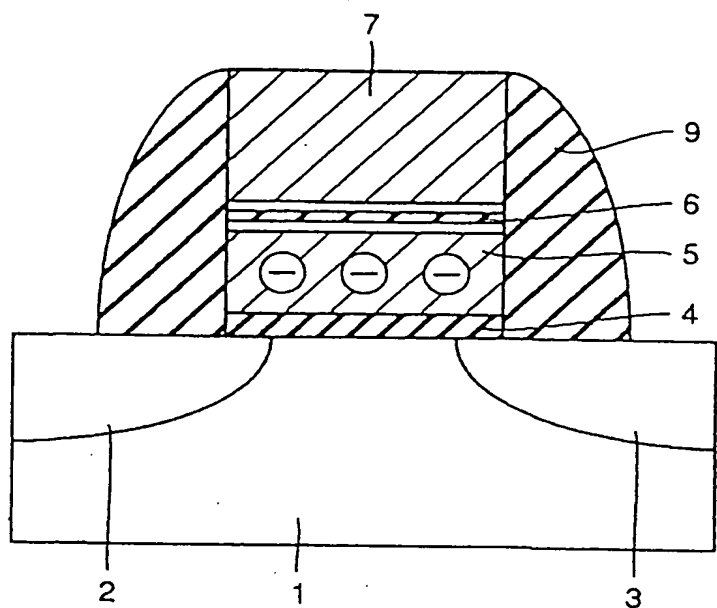


圖 4 5

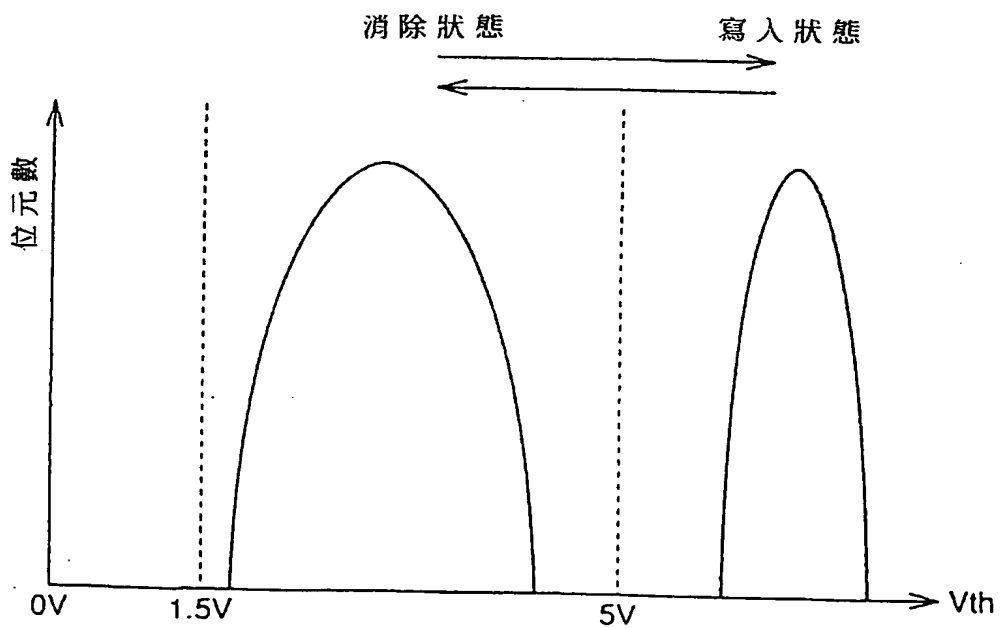


圖 4 6

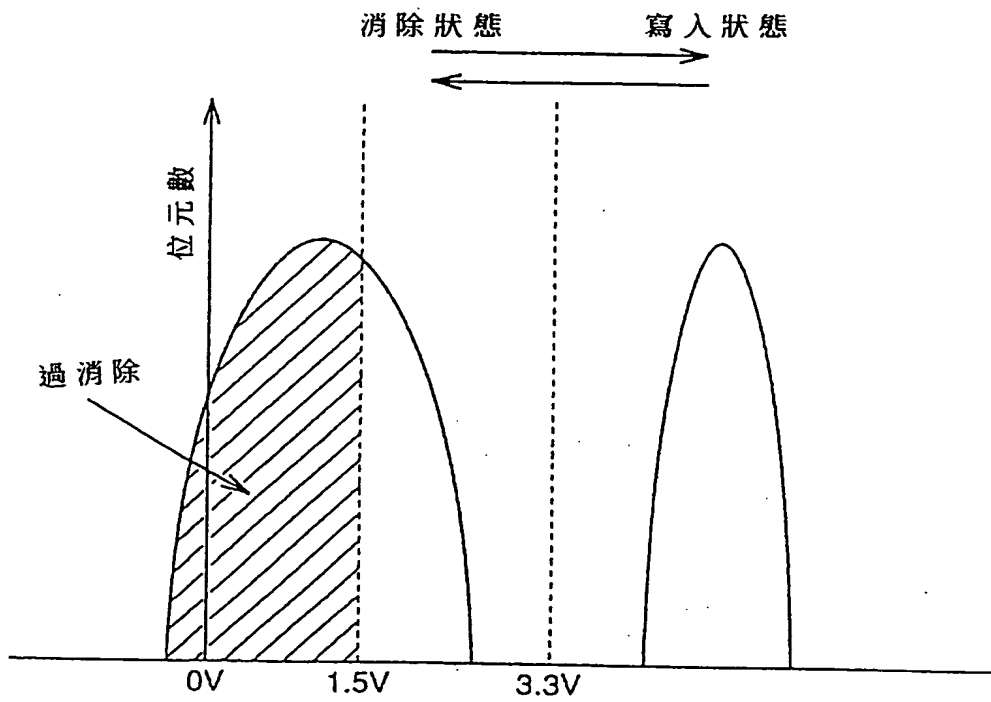
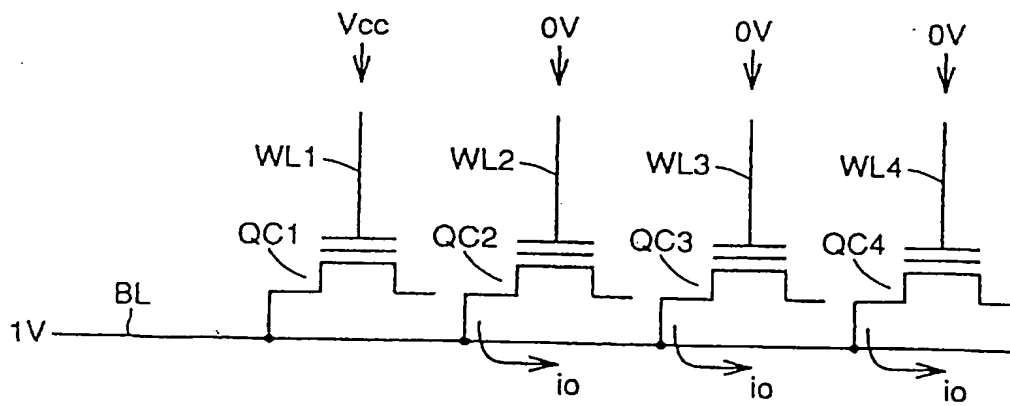


圖 4 7



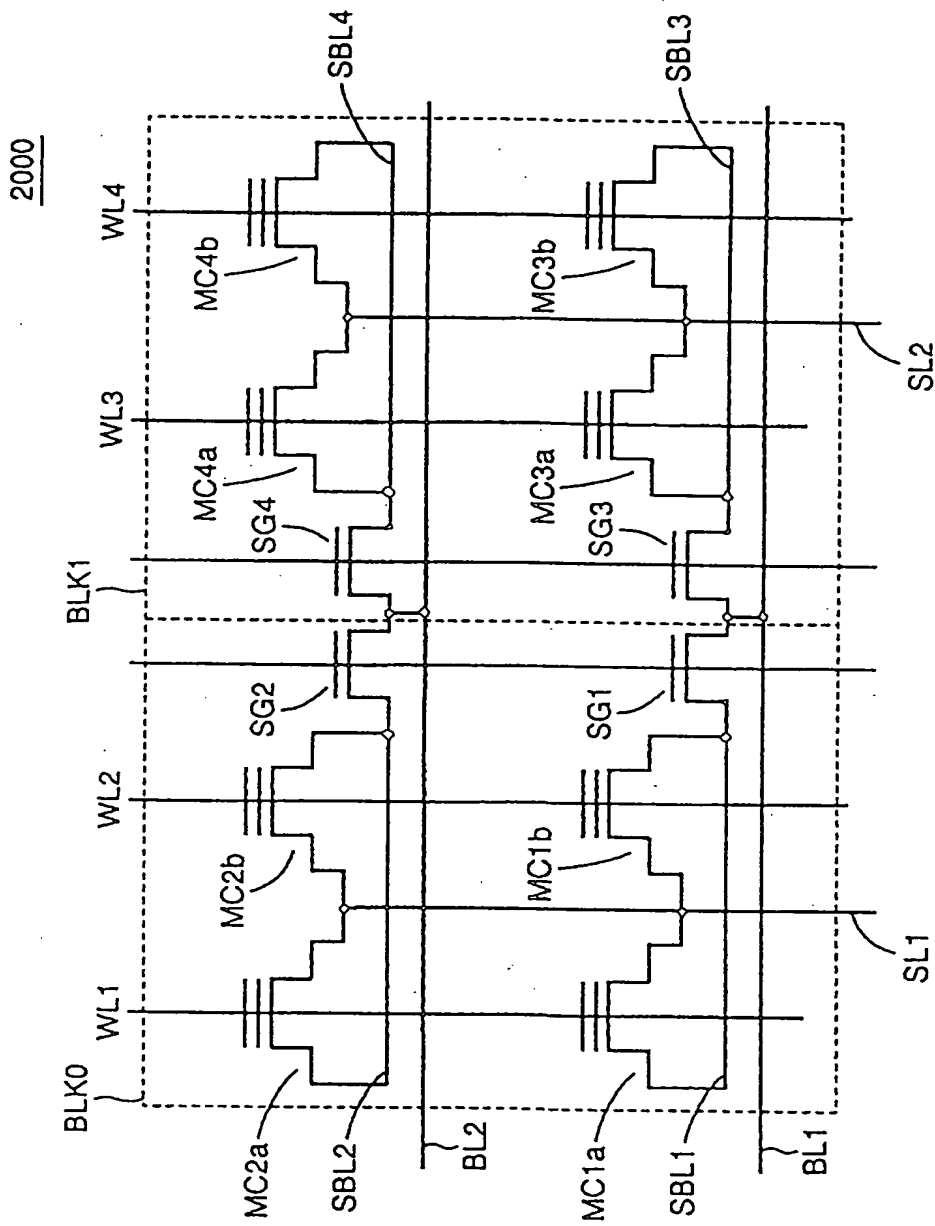


圖 4 9

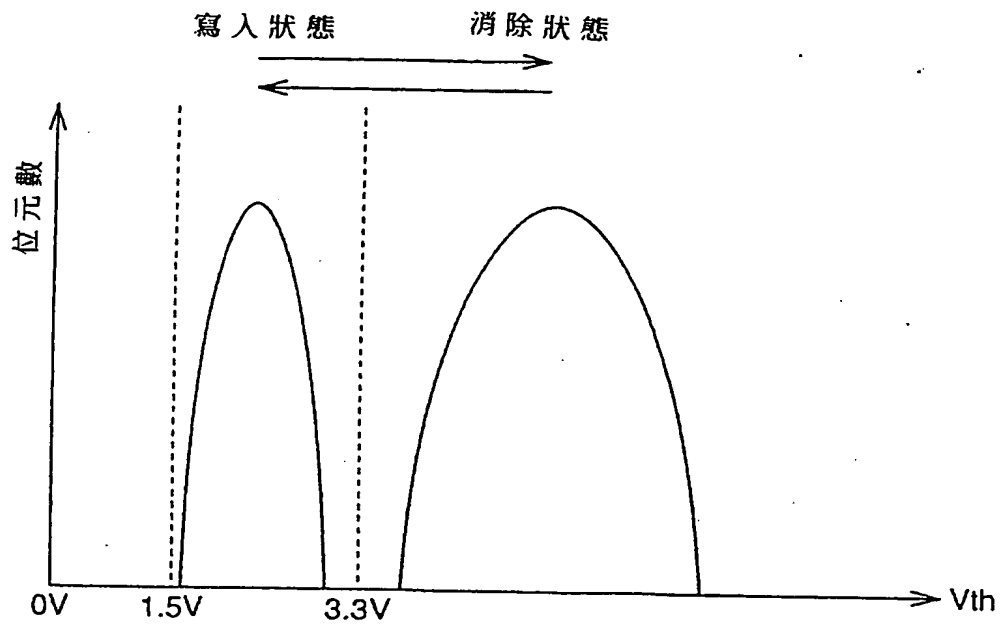


圖 5 0

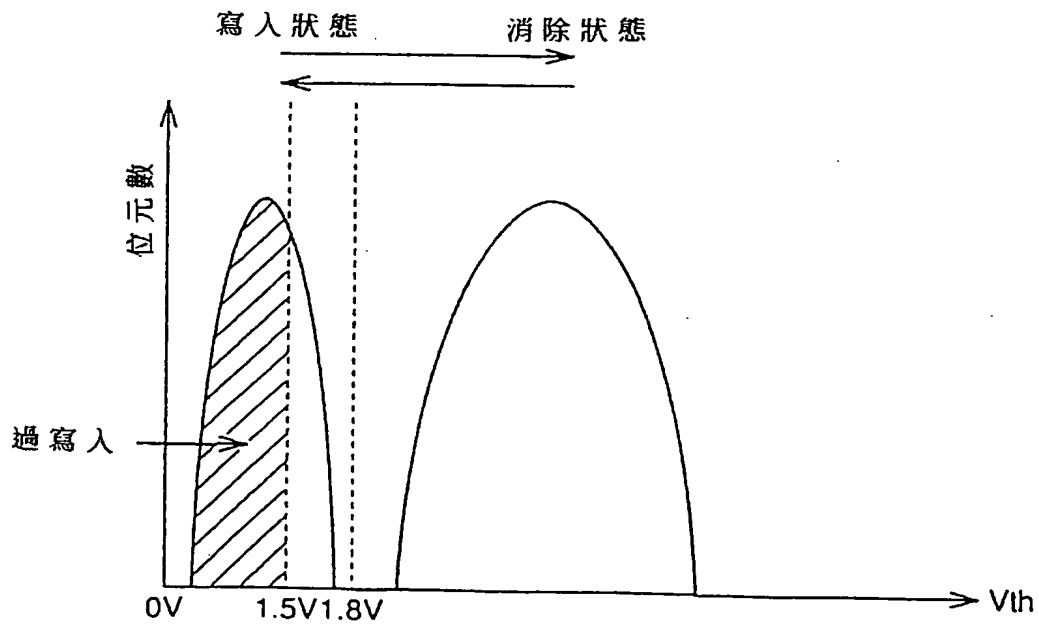
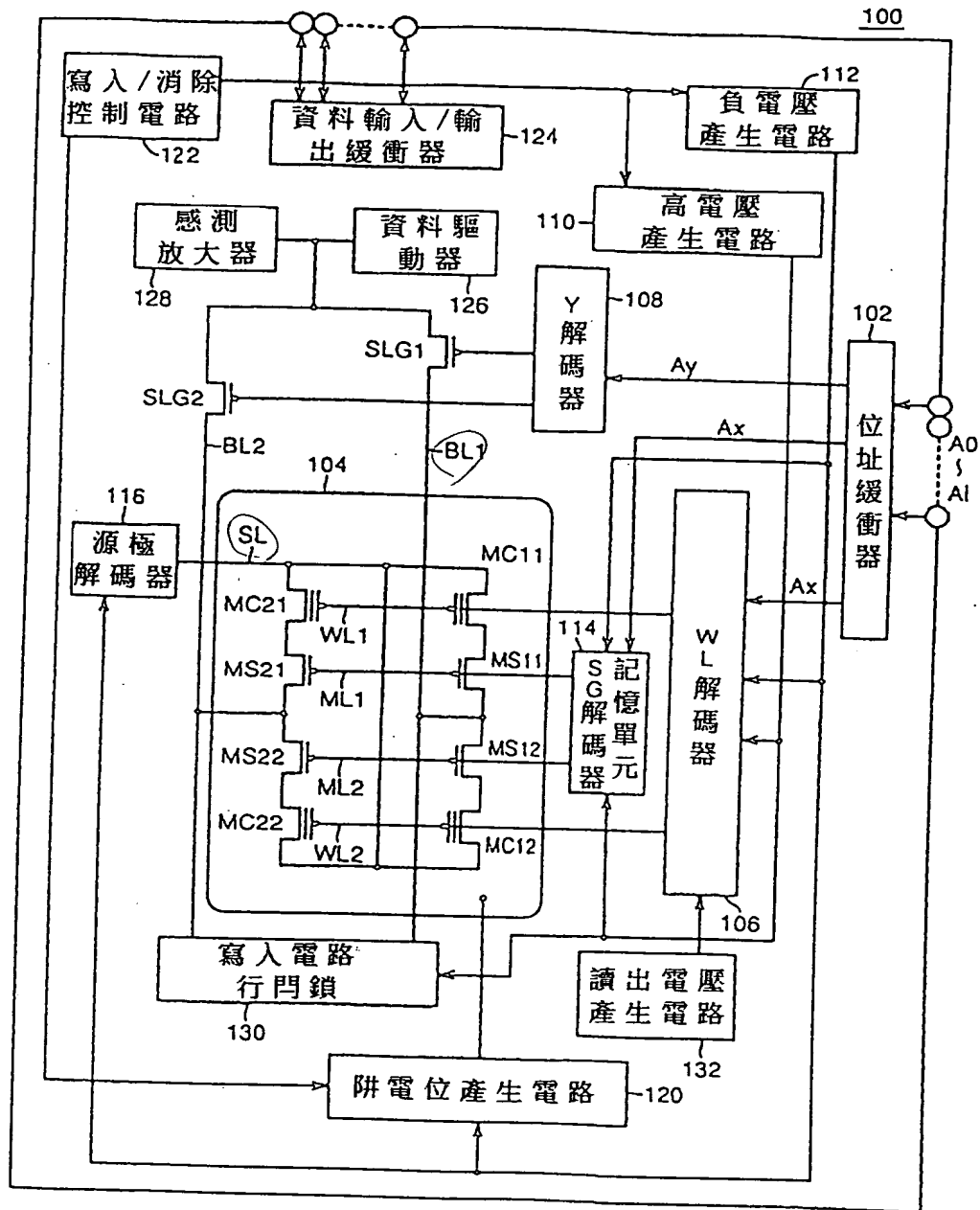


圖 1



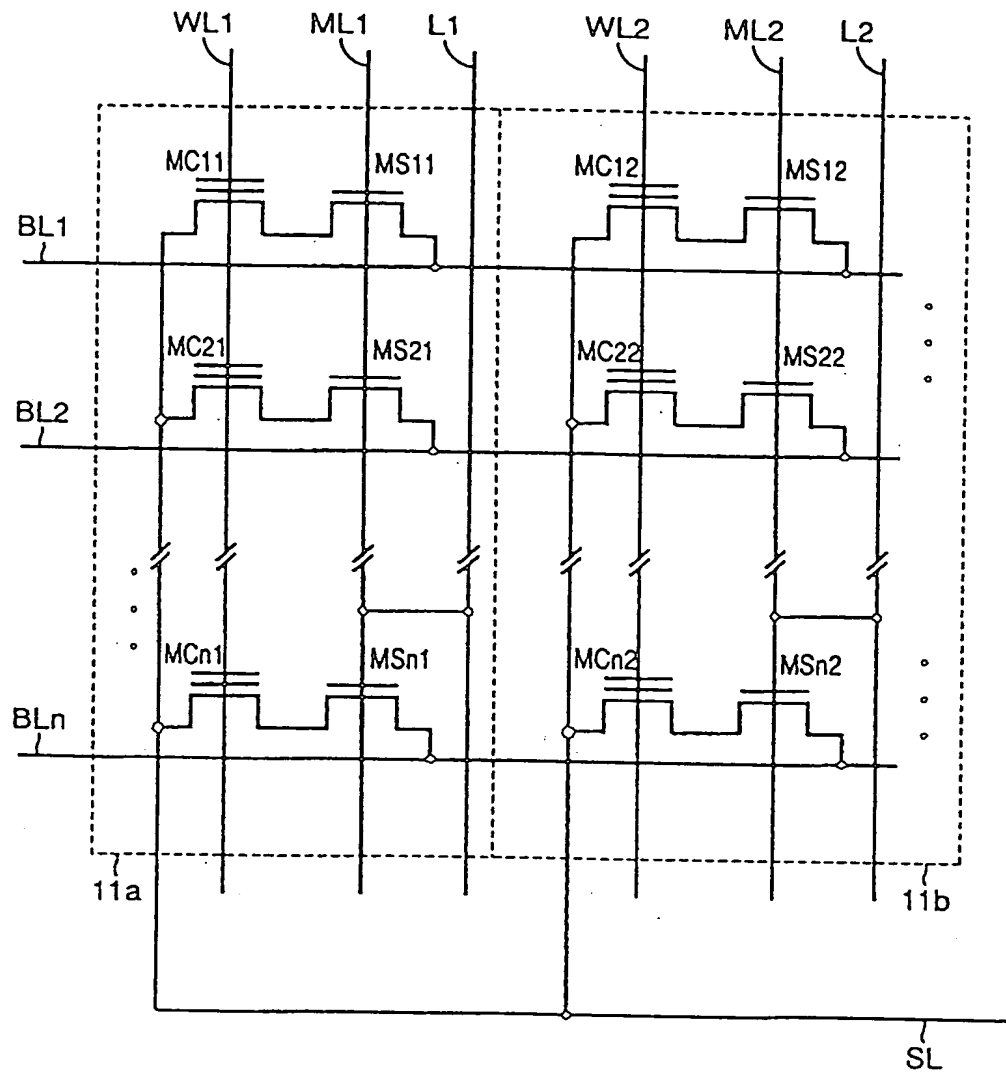


圖 3

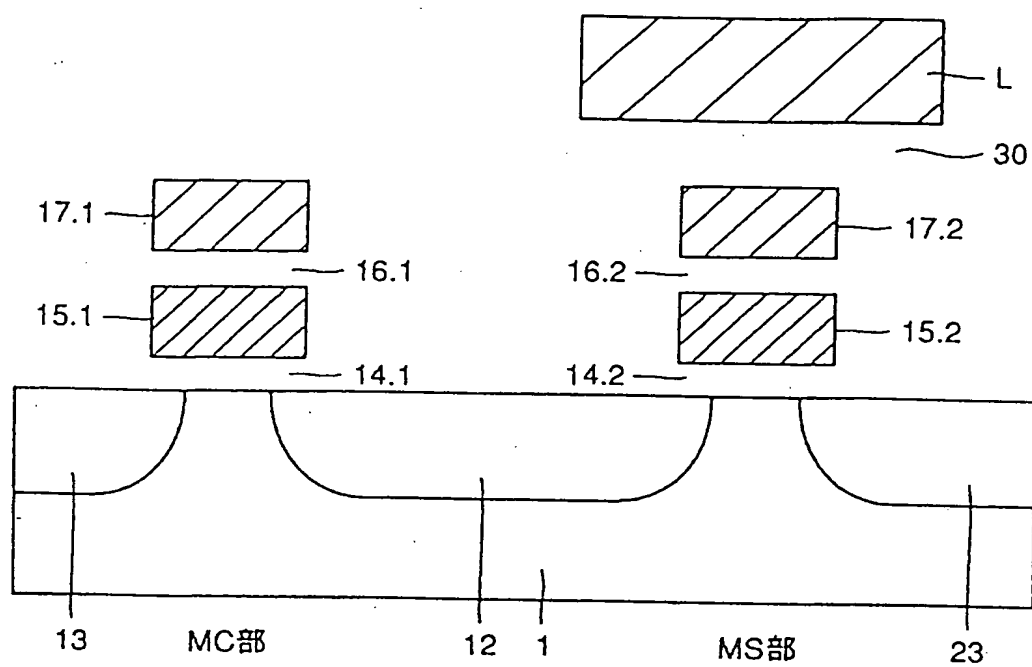


圖 4

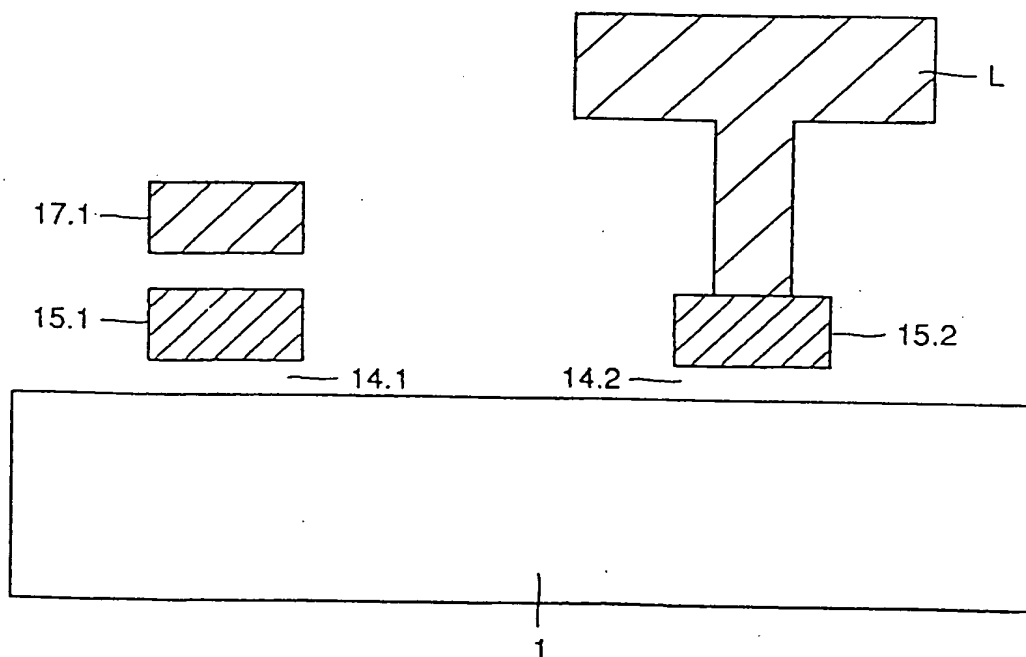


圖 5

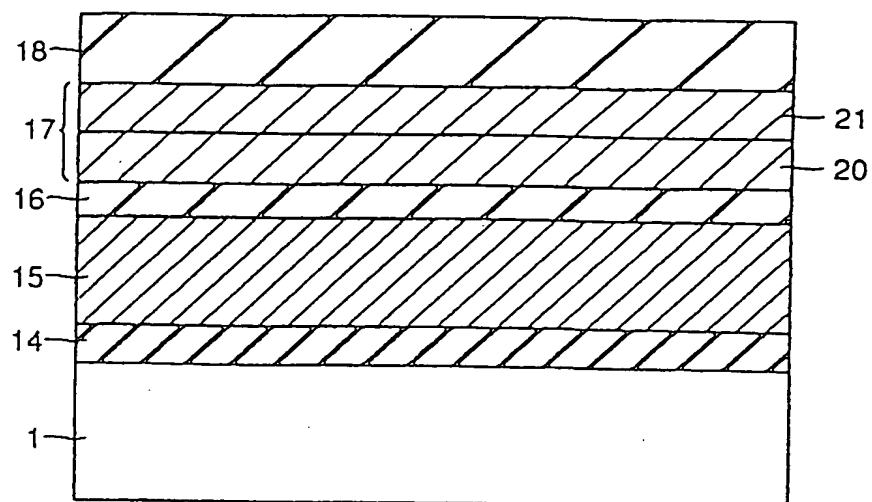


圖 6

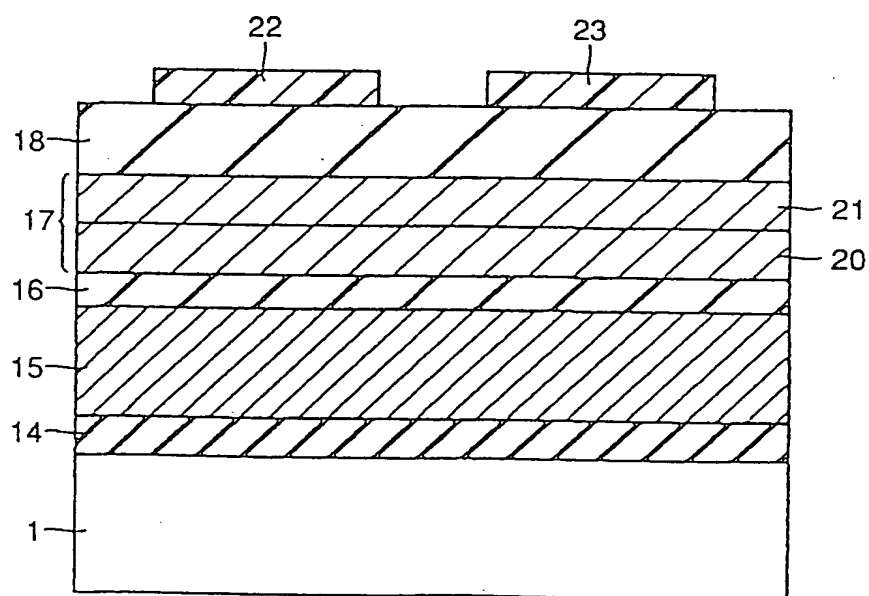


圖 7

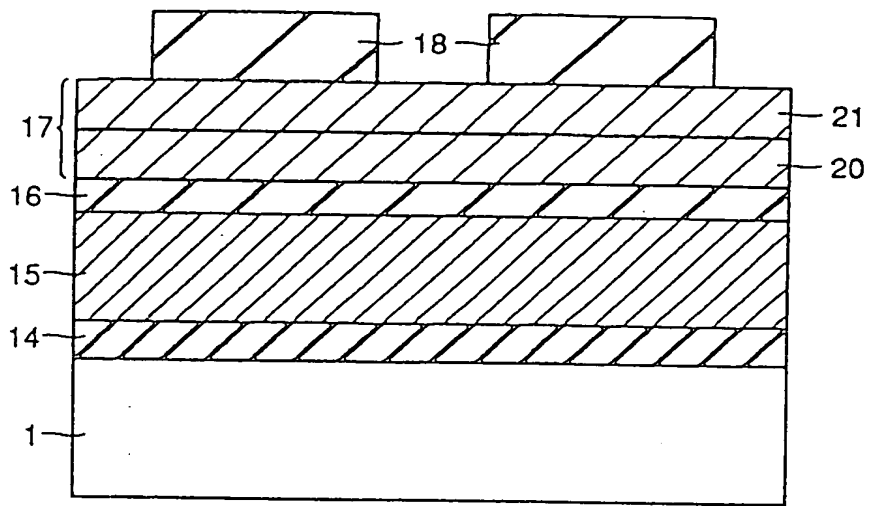


圖 8

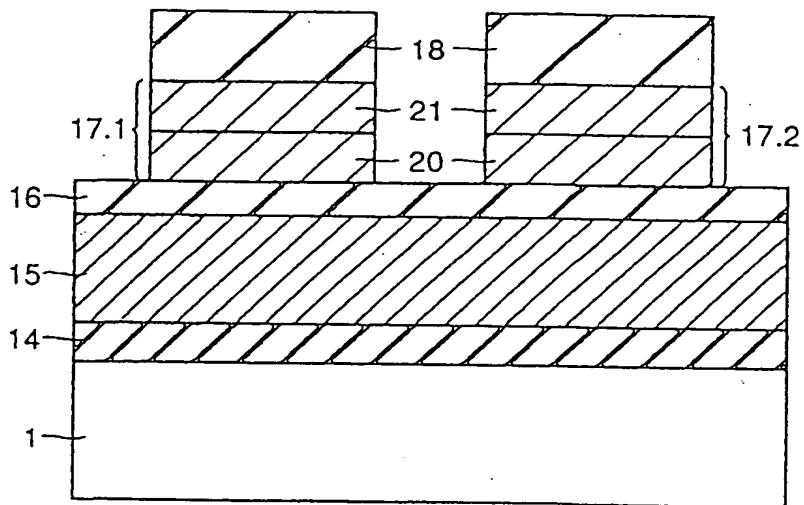


圖 9

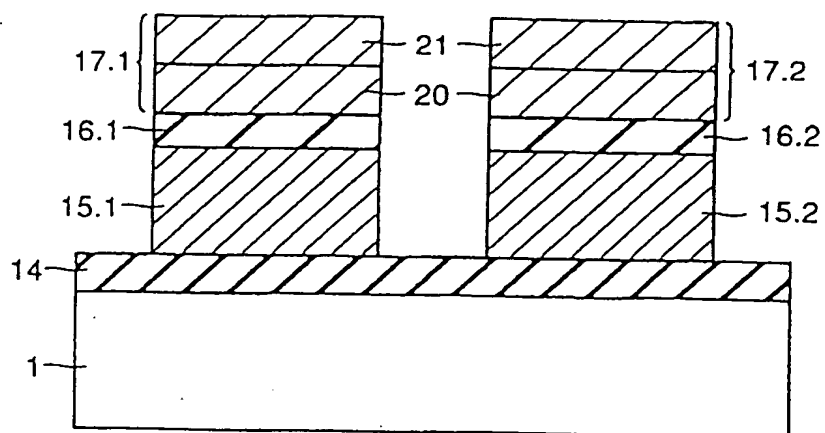


圖 10

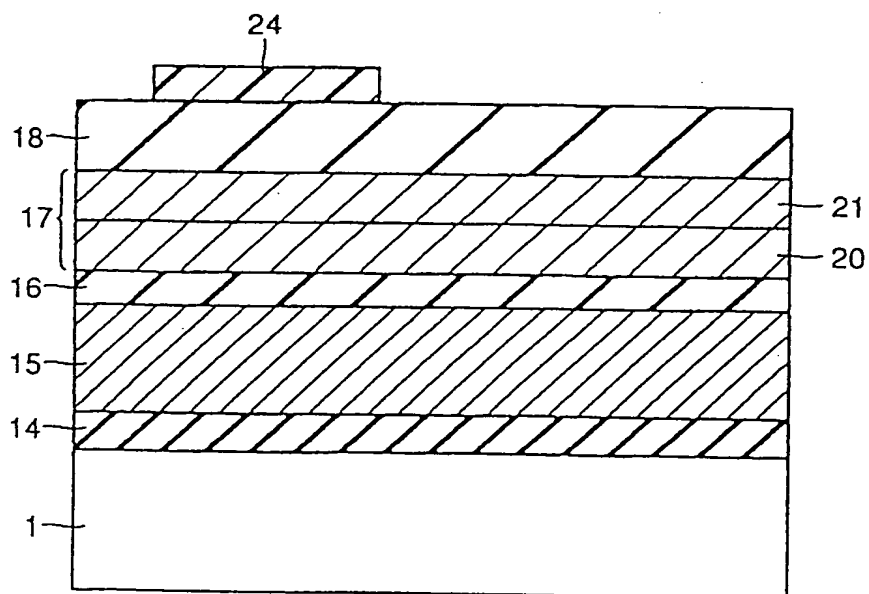


圖 1 1

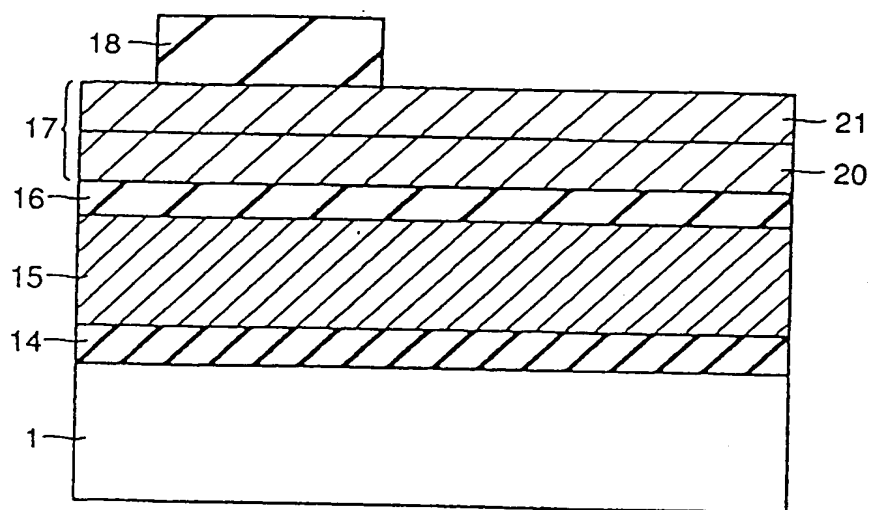


圖 1 2

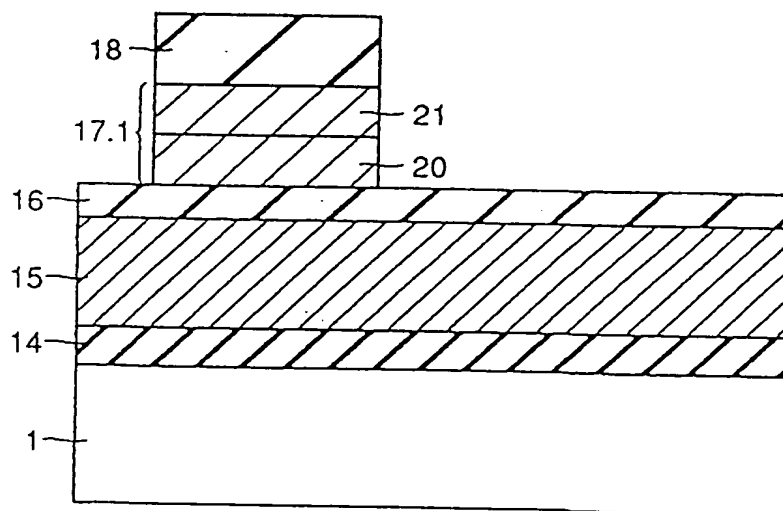


圖 1 3

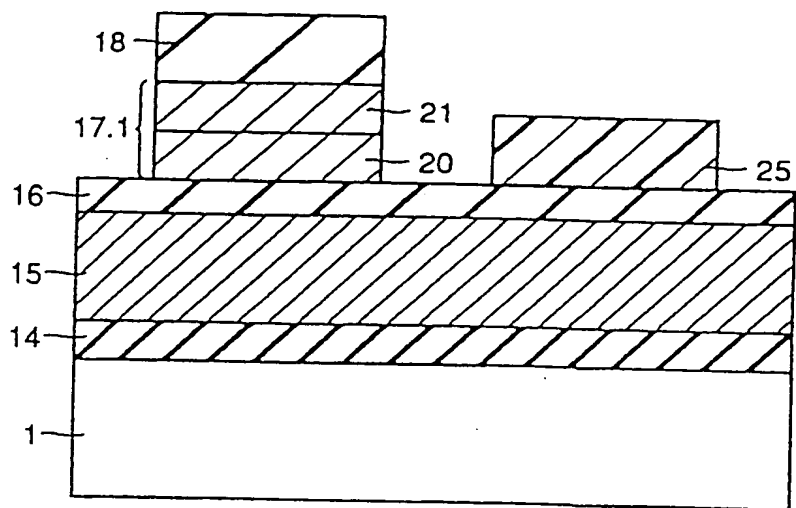
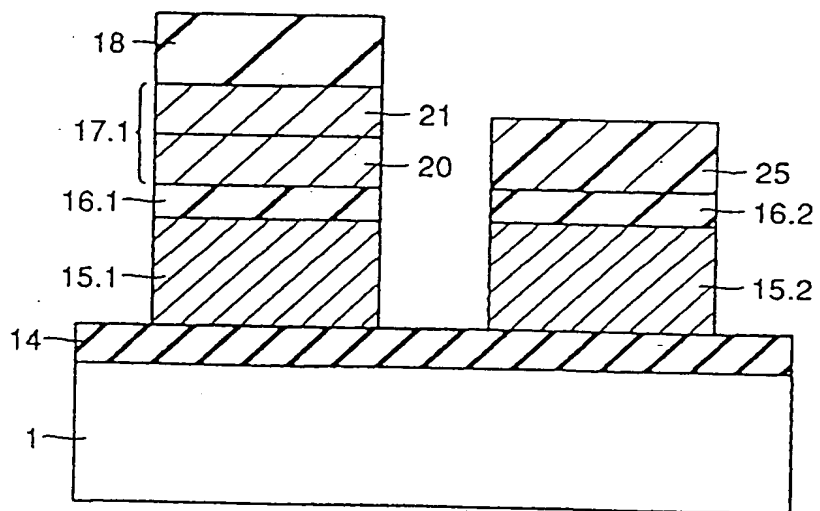
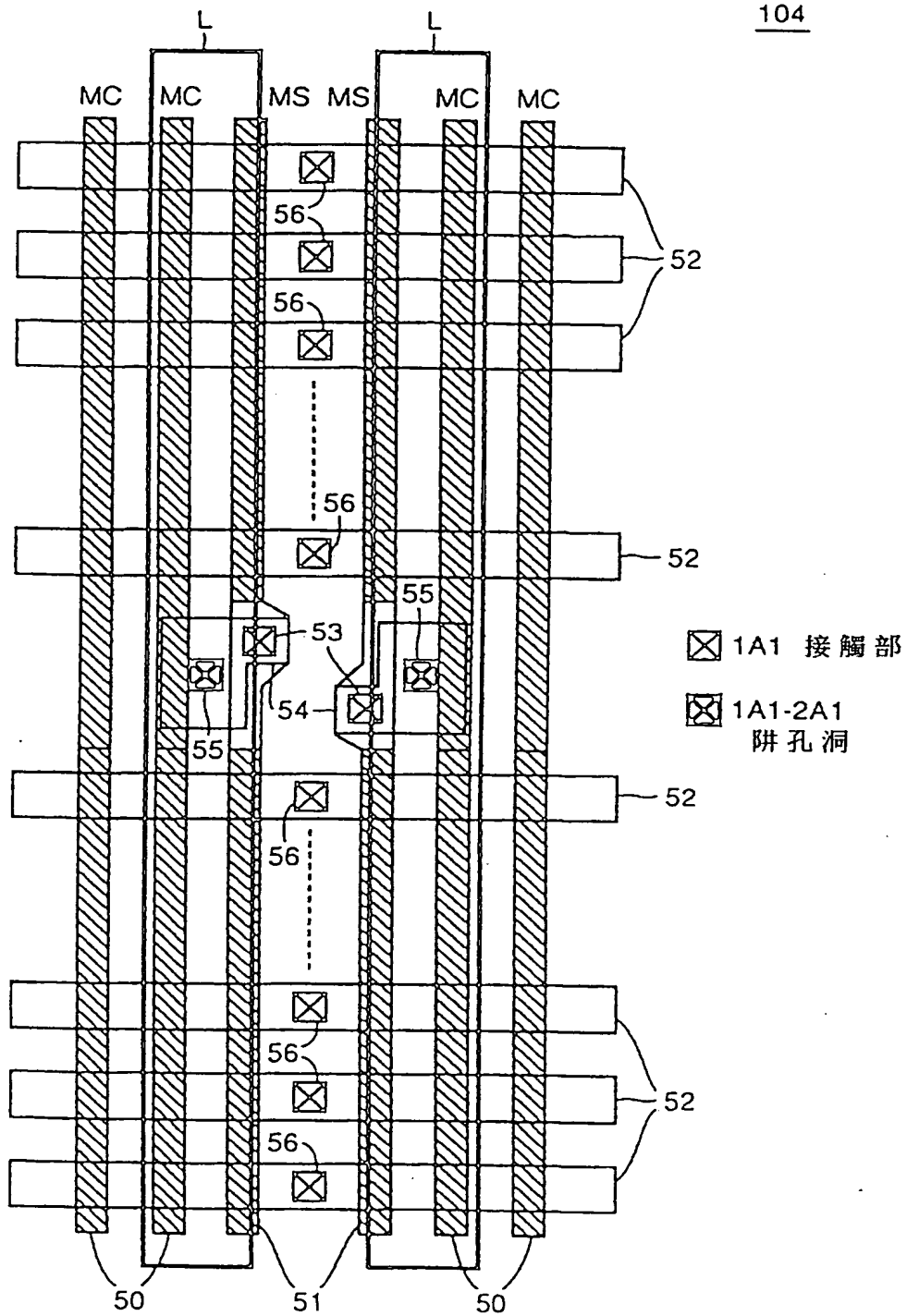


圖 1 4





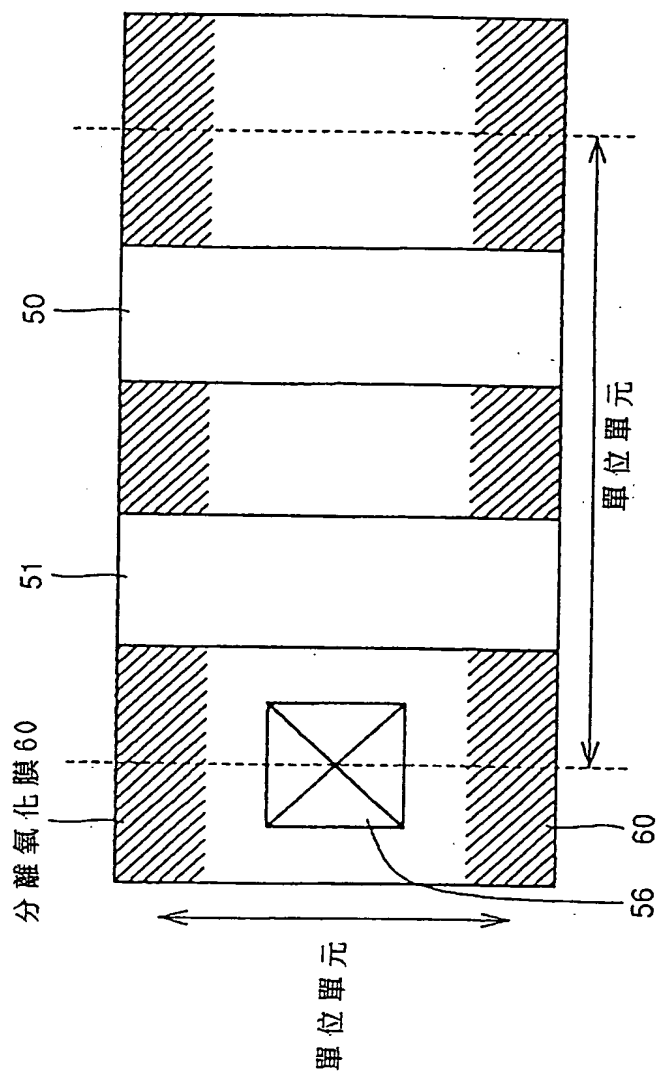


圖 17

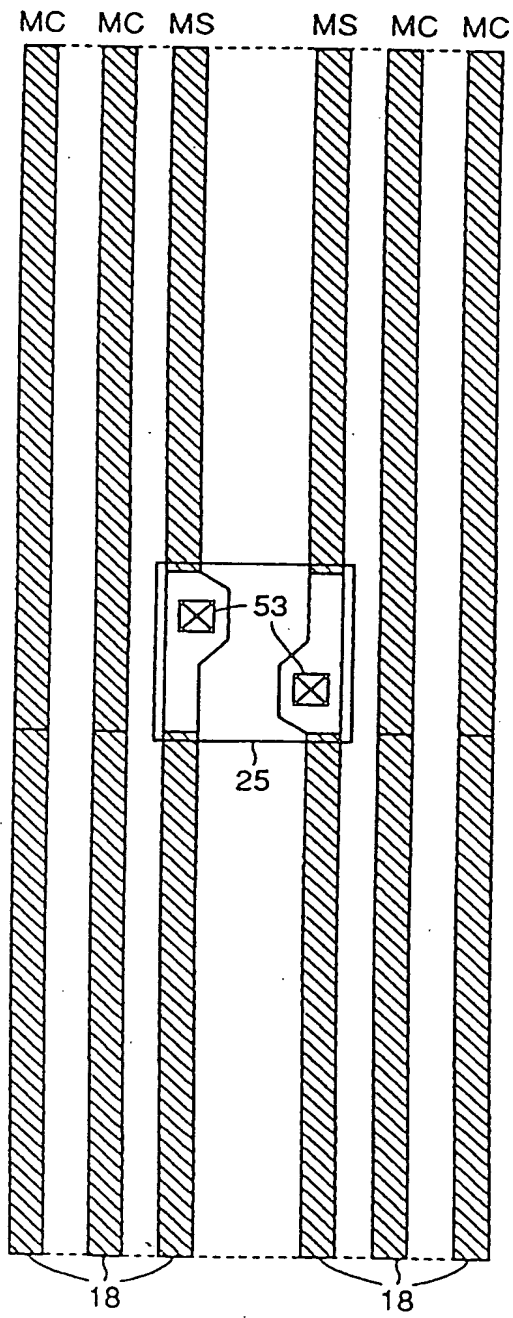


圖 18

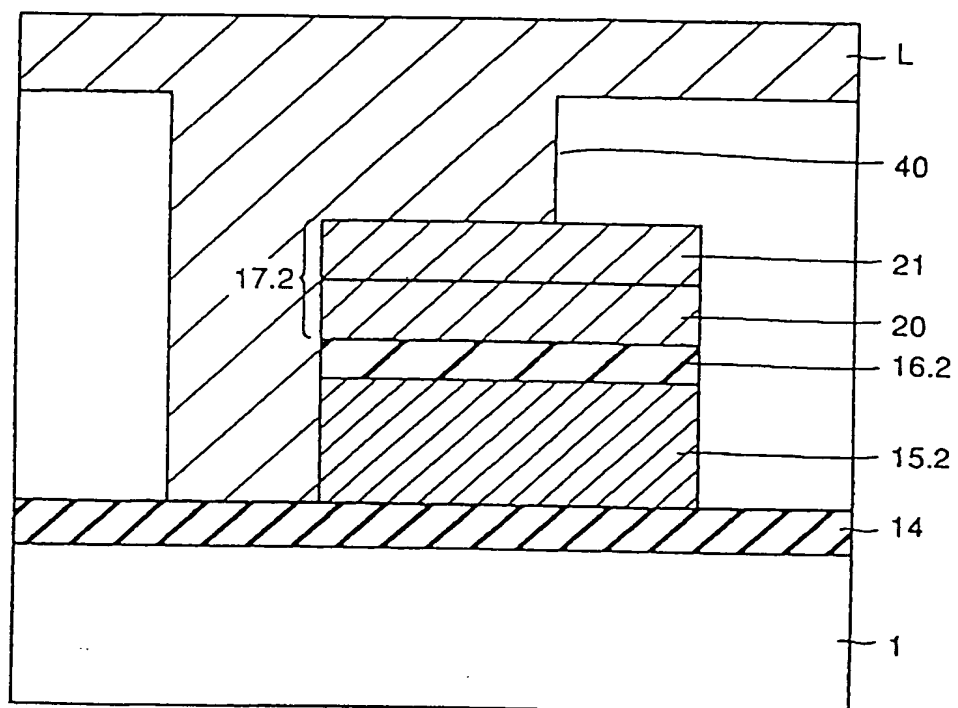


圖 1 9

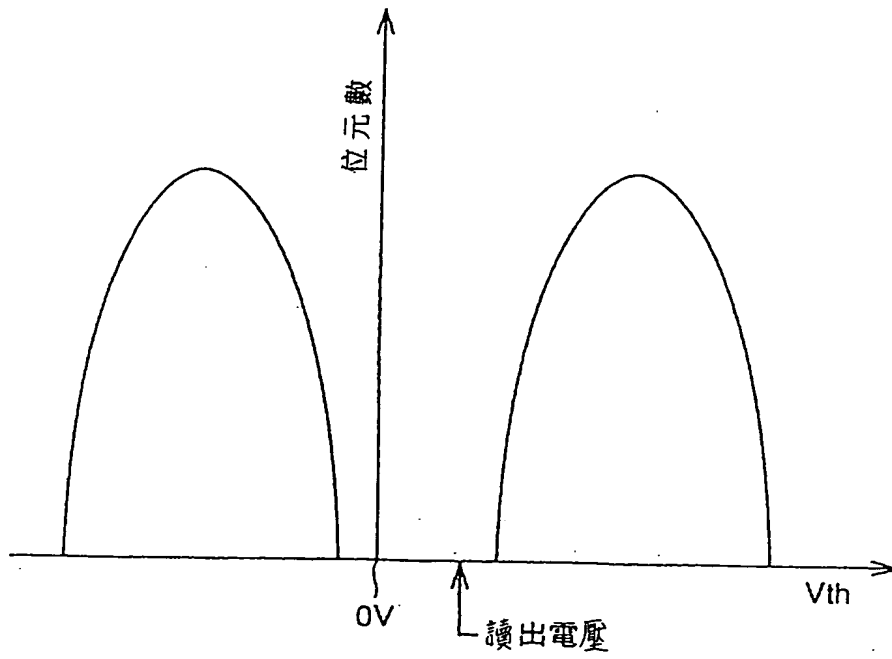


圖 2 0

	Vcg	Vsg	Vs	Vd	Vwell
等待	1.8V	0V	0V	0V	0V
讀出	1.8V	1.8V	0V	1~1.8V	0V

圖 2 1

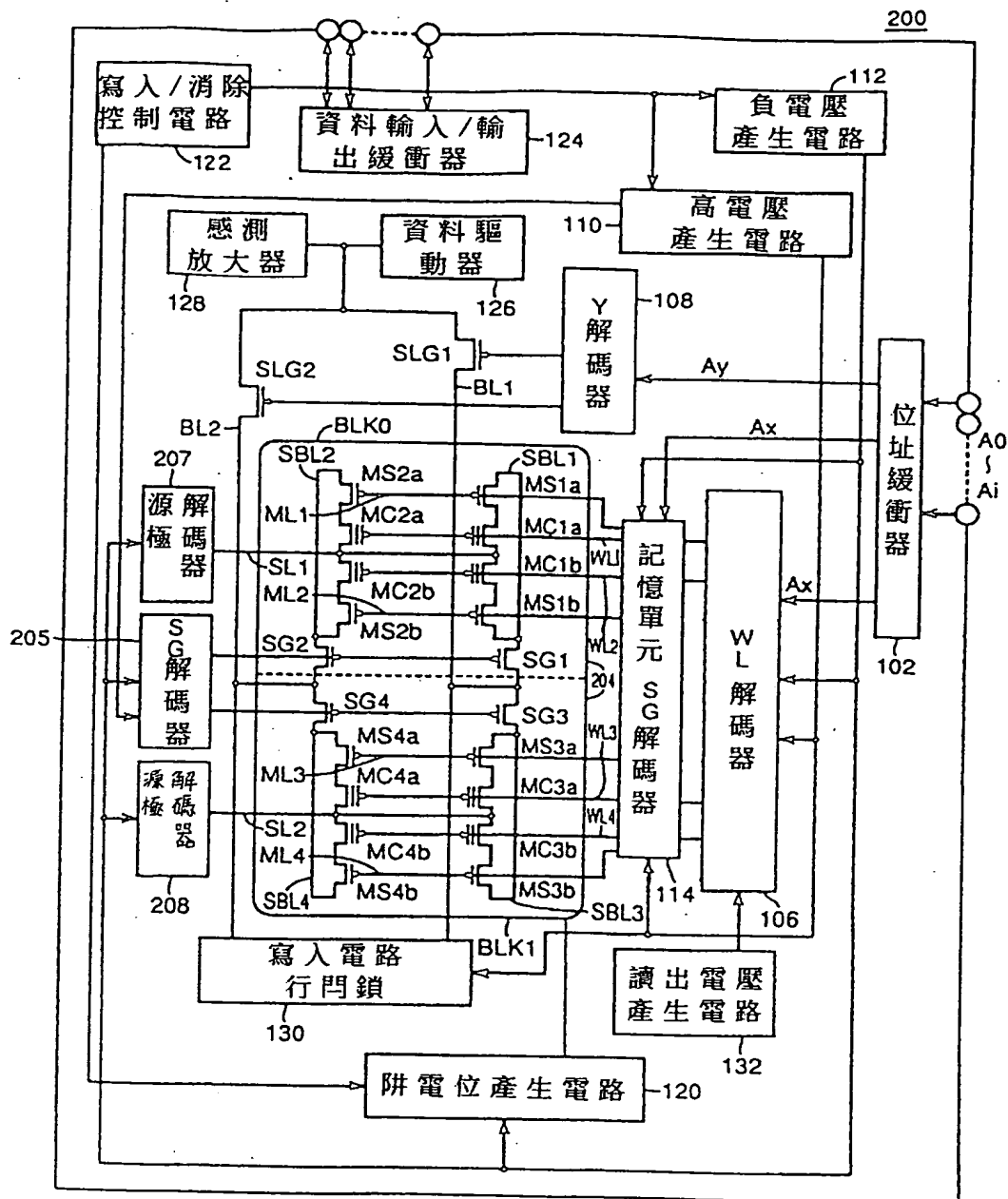


圖 2 2

位元線寄生電容量	(x1)	~1pF
記憶單元電晶體之擴散層電容量	(x2)	2fF/cell
位元線上之記憶單元數目	(x3)	2000cell
$x2 \times x3 \div 2$	(x4)	2pF
位元線電容量 CB0	(=x1+x4)	3pF

圖 2 3

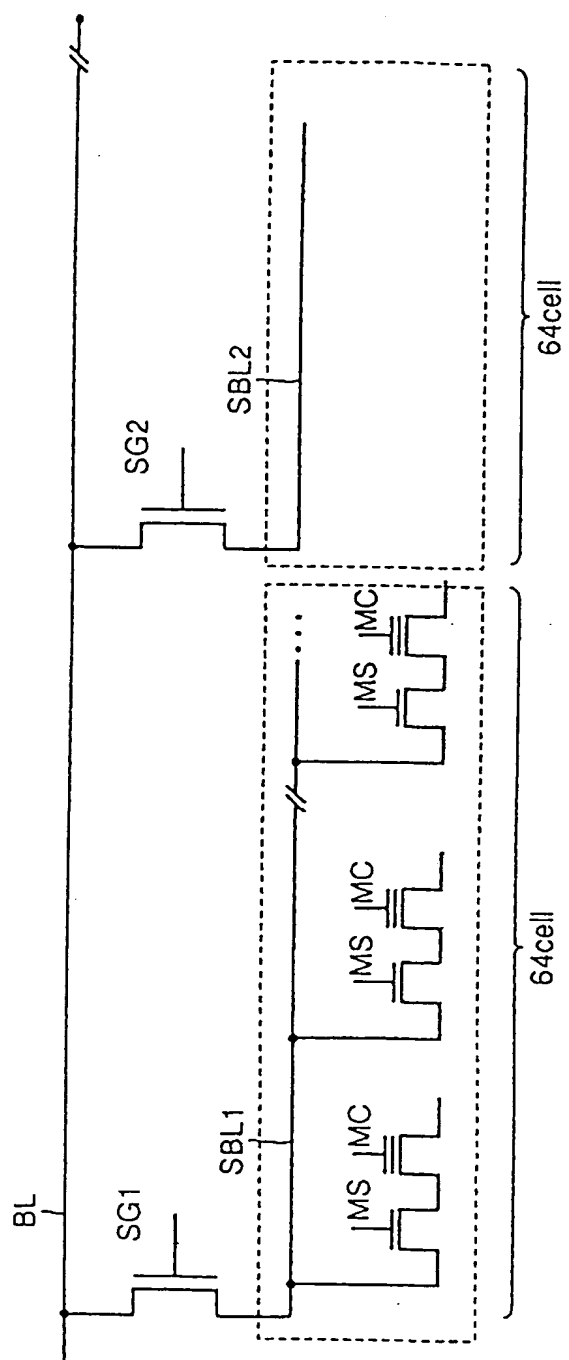


圖 2 4

主位元線寄生電容量	(x5)	1pF
副位元線寄生電容量	(x6)	~0.05pF
副位元線上之記憶單元數目	(x8)	64cell
記憶單元電晶體之擴散層電容量	(x7)	2fF/cell
$x7 \times x8 \div 2$	(x9)	0.06pF
選擇閘之電晶體電容量	(x10)	~0.2pF
位元線電容量 CB1	(=x5+x6+x9+x10)	1.3pF

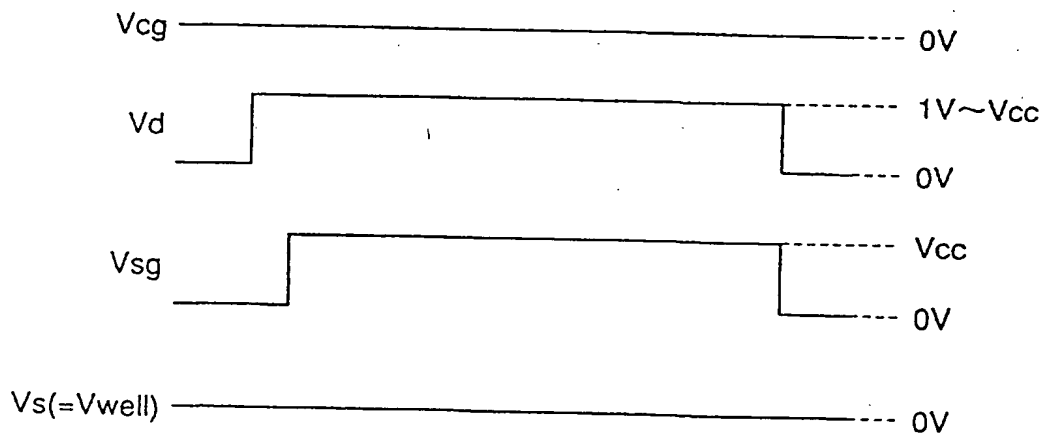
圖 2 5

	Vcg	Vsg	Vs	Vd	Vwell	
等待	0V	0V	0V	0V	0V	
讀出	0V	1.8V	0V	1~1.8V	0V	
寫入	-10V	6V	open	5V	0V	
消除	10V	0~-8V	-8V	open	-8V	有阱分割
	18V	0V	0V	open	0V	無阱分割

圖 2 6

	Vcg	Vsg	Vs	Vd	Vwell	
等待	0V	0V	0V	0V	0V	
讀出	0V	1.8V	0V	1V	0V	
寫入	-10V	0V	open	5V	0V	
消除	10V	0~-8V	-8V	open	-8V	有阱分割
	18V	0V	0V	open	0V	無阱分割

圖 2 7



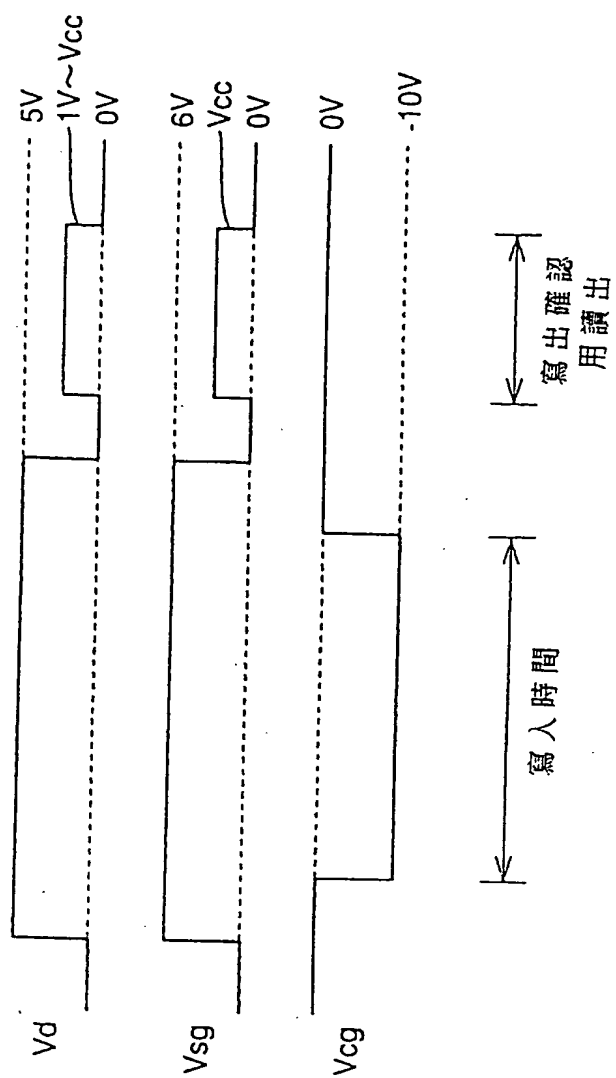


圖 2 9

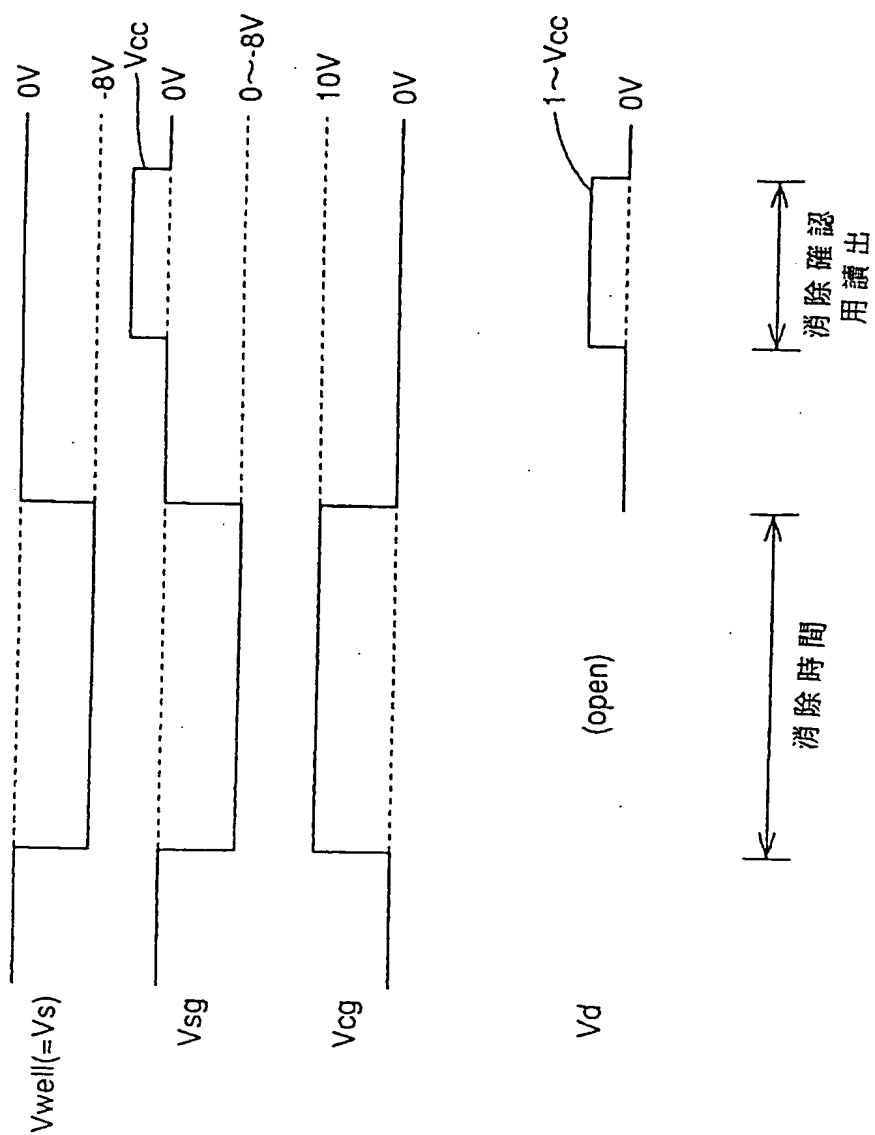


圖 3 0

